

大規模集積回路と 半導体材料技術の現状と将来

住友化学株式会社
先端材料探索研究所
秦 雅彦
東京大学 大学院 工学系研究科
電気系工学専攻
高木 信一
竹中 充
独立行政法人 産業技術総合研究所
ナノエレクトロニクス研究部門
安田 哲二

Present Status and Future Prospect on ULSIs and Related Semiconductor Materials

Sumitomo Chemical Co., Ltd.
Advanced Materials Research Laboratory
Masahiko HATA
The University of Tokyo
Department of Electrical Engineering
Graduate School of Engineering
Shinichi TAKAGI
Mitsuru TAKENAKA
National Institute of Advanced Industrial
Science and Technology
Nanoelectronics Research Institute
Tetsuji YASUDA

The performance of ULSIs (Ultra Large Scale Integrated Circuits) has been dramatically enhanced over 30 years by increasing the number of transistors per unit area and the operation speed per single gate simultaneously by the miniaturization technology through the guiding principle of the scaling rule applied to Si CMOSFETs (Complementary Metal-Oxide-Semiconductor Field Effect Transistors). However, miniaturization of the transistors becomes increasingly difficult due to physical limitations, and the conventional scaling rule will not be enough to enhance the performance of the ULSIs. Thus introducing new device structure, new processes, and new materials become increasingly important. The present status of and future prospects for new semiconductor materials for next generation ULSIs are reviewed in this paper.

LSIの発達と今後の見通し

1. CMOS技術と微細化によるトランジスタの速度・集積度の向上

これまで、大規模集積回路 (ULSI) の進展は、基本的に、比例縮小 (スケーリング) 則によるSi電界効果トランジスタ (Metal-Oxide-Semiconductor Field Effect Transistor: MOSFET) の高集積化と高性能化によって支えられてきた。ここで、スケーリング則とは、素子形状に関わるすべてのパラメータを同じ割合で縮小し、

併せて電圧値もこれと同様に割合で低下させるという、微細化のための素子設計のルールである。1960年代から現在に至るまで、基本的には、このルールに従って、ひたすら素子の微細化を追求した結果、現在は、MOSFETのチャネル長で30 nm程度、最も近接したMOSFET間のゲートピッチで120 nm程度の極微細トランジスタが、数億個集積化されるようなチップがすでに実用化されている。

Fig. 1は、IBM社が発表している今後のロジックLSIの技術開発トレンドの予測である¹⁾。来年には、デバイ

スピッチが80–100 nmの22 nm技術ノードと呼ばれるテクノロジーによる量産が開始され、その後引き続き、2–3年毎に、微細化されたデバイスピッチとチャネル長を有する新しい世代が量産化され、2020年代には、ゲート長で10 nm以下となるナノCMOS (Complementary MOS: 相補型MOSFET) 世代へと進んでいくことが期待されている。

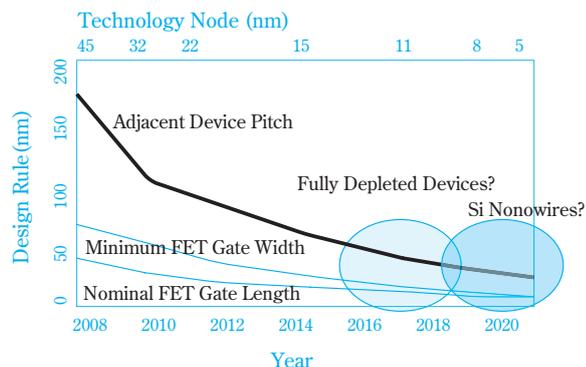


Fig. 1 The scaling trend of design rule of ULSI [Data from reference 1)]

このスケーリング則によるCMOSの微細化は、2000年頃までは、基本的に、(1) 単位面積当たりの素子数・回路規模の増大、(2) 素子一段当たりの応答速度向上による性能の増大、の2つの要求を同時に満足させることができたため、チップの付加価値創出の源泉として、LSI発展の最大・最強の指導原理となってきた。

2. MOSFETの消費電力、オン電流、ショートチャネル効果

ここで、LSIに用いられる素子としてMOSFETが実現しなければいけない性能である、消費電力、オン電流 (MOSFETの駆動電流)、短チャネル効果抑制の3つの要素について簡単に触れる。まず、消費電力の低減は、今後のロジックLSIにとって、現在、最も大きな課題となっている。

消費電力の低減は、これまでも集積回路を実現する上での最大の関心事であった。Fig. 2に、年代とLSIでの消費電力の推移を示す²⁾。当初用いられていたバイポーラトランジスタによるロジックLSIの消費電力を低減するために、nチャネルMOSFET抵抗負荷型ロジックが導入され、その後、待機時のリーク電流を十分低くできるCMOSが導入されることで、消費電力増大の課題が克服されてきた。しかしながら、CMOSに議論を限定すると、単純に言って、スケーリング則では、単位面積当たりの消費電力は一定であるので、低消費電力化は実現されない。また、実際のチップでの電源電圧は、スケーリング則のように低減できないため、動

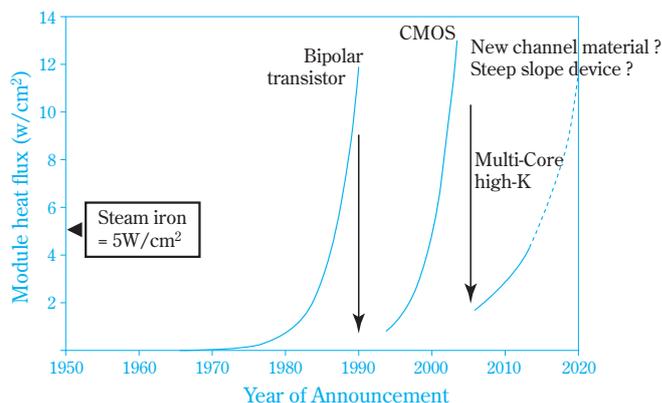


Fig. 2 Power consumption of integrated circuits

作時に一チップ当たりの消費電力は増え続けてしまう。加えて、近年、後述する種々の要因から、MOSFETのリーク電流が、世代と共に増え続けており、動作時ではなく待機時の消費電力が支配的となりつつある。このため、CMOSがオフ時でのリーク電流の低減が急務の課題となっている。

次に、オン電流 (MOSFETの駆動電流) も、演算速度の向上が不可欠なロジックLSIでは、極めて重要な性能指数である。MOSFETの動作速度は、基本的に次段のゲートの容量を、電源電圧から接地電圧、あるいはその逆にまで充電あるいは放電する時間で決定される。次段のゲートの容量には、MOSFET自身のゲート容量だけでなく、配線容量やスケーリングできない種々の寄生容量が含まれているので、動作速度低減及びクロック周波数の向上のためには、単位チャネル幅当たりの電源電圧でのドレイン電流値を向上させることが必要である。

また、LSI用の素子としては、数億個と言った膨大な数のMOSFETの特性を設計通りに特性のばらつきなく作製できることが必須である。このためには、短チャネル効果の抑制が必須である。短チャネル効果とは、一般にチャネル長を微細にしたり、ドレイン電圧を印加することで、ゲート電圧のチャネル電流に対する制御力が低下し、閾値電圧が低下する現象である。素子作製上、リソグラフィーによって形成しているMOSFETのチャネル長が、素子間である程度ばらつくことは避けられないため、短チャネル効果が大きいと、素子間での閾値電圧やドレイン電流のばらつきが大きくなり、正しい回路動作ができなくなる。このことから、ゲート電圧のチャネル電子に対する支配力を高めて、短チャネル効果を抑制することが必須となる。

3. スケーリング則を阻む限界要因

しかしながら、90 nm技術ノード以降、種々の物理的限界により、スケーリング則による微細化だけでは、

性能向上を得ることが難しくなってきた。これは、上記で述べた、MOSFETが実現しなければいけない性能である、オン電流、消費電力、短チャネル効果抑制の3つの要素が、微細化に対して、相互にトレードオフの関係になり、微細化だけでは、この3つの要素に対する要求スペックを満たせなくなってきたからである。

この様子を模式的にFig. 3に示す³⁾。例えば、スケーリング則に従えば、ゲート絶縁膜は薄膜化が必要である。これは同じゲート電圧では、高いオン電流をもたらすことになり、またゲート電圧のチャネル電子に対する支配力を高め、短チャネル効果の抑制に有効である。しかしながら、ゲート絶縁膜厚は65 nm技術ノードにおいて、すでに1.5 nm前後の極めて薄膜に達しており、チャネルとゲートの間のトンネル電流により、ゲート絶縁膜の薄膜化は、急激なリーク電流と消費電力の増大を招く。また、短チャネル効果の抑制のためには、バルクSi基板上的CMOSであれば、空乏層幅のスケーリングのために、基板不純物濃度の増大が必要である。しかしながら、基板不純物濃度の増大は、不純物散乱の増大や実効電界の増大によりチャネル電子・正孔の移動度を低下させオン電流を減少させる。また、接合リークを増大させ、消費電力の増加を招く。更に、短チャネル効果の抑制のためには、ソース・ドレインの浅接合化も必要である。しかしながら、ソース・ドレインの不純物濃度を十分高めることなく浅接合化すると、ソース・ドレイン領域の抵抗が増大し、結果としてオン電流の低減を招く。

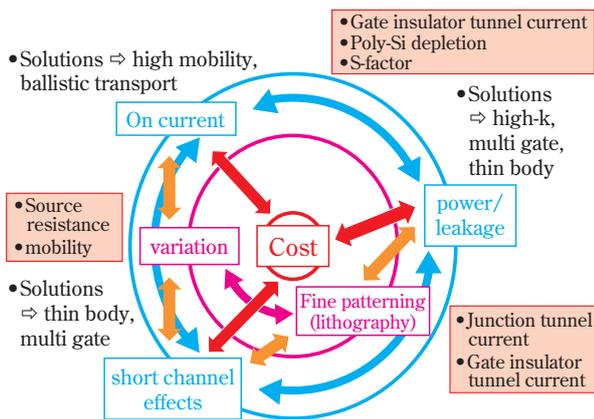


Fig. 3 The relationship among the design factors of transistors

また、MOSFETの閾値が十分低減できない点も重大な問題である。Fig. 4は、MOSFETのゲート電圧とドレイン電流の関係を模式的に示したものである。閾値電圧 (V_{th}) 以下でMOSFETのドレイン電流は、指数関数的に減少するが、図に示す様に、ドレイン電流を

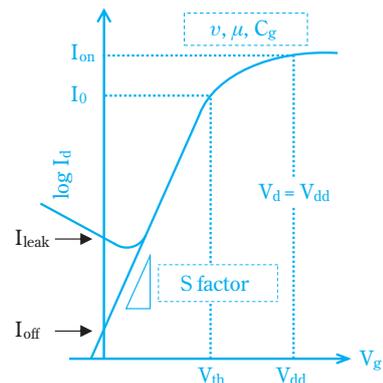


Fig. 4 The schematic relationship between drain current and gate voltage in MOSFET and definition of S factor

logプロットすると、ある有限な傾きを持っている。この傾きを定量化した量として、電流を一桁変化させるために必要なゲート電圧をSファクターと呼ぶ。MOSFETでは、その動作原理から、室温でのSファクターを60 mV/dec以下にすることは原理的にできず、短チャネル効果が劣化するとこの値が更に大きくなる。結果として、LSIチップの待機時の電流を決める、ゲート電圧がゼロでのオフ電流をある値に設定するとSファクターから閾値の下限值が決まってしまう。この値はスケーリングによっても低減できないので、MOSFETの電源電圧をスケーリングによって、低減していくことは原理的に困難になる。

また、これらのトレードオフ関係に加えて、近年強く問題視されている微細化制限要因が、素子の特性ばらつきである。これは、素子作製時の加工ばらつきなども影響するが、より本質的には、MOSFETのチャネルが微細化して、チャネルに含まれる不純物の数が低下することによる統計的ばらつきがその起源である。特性のばらつきを考慮して適切に回路を動作させるためには、ばらつき余裕を見た閾値電圧や電源電圧の設定が必要となるため、現在のMOSFETの低電圧化を阻む重要な要因の一つが、このMOSFETの特性ばらつきとなっている。

また、技術課題としては、10 nmレベルまで微細に加工できるリソグラフィ技術の実現がある。現在、EUV (Extended UV) 露光技術が最有力候補となっているが、従来最も微細な加工に多用されているArFエキシマーレーザーを用いた光リソグラフィ技術と比べて、技術の成熟度がまだ低い状況にある。更に、LSIを商品として考えた場合の現実的な制約として重要な点が、コストである。技術の困難度の増大と製造プロセスの複雑さは、たとえ技術的に解決可能であっても、最終的にはコストの増大につながる。

テクノロジー・ブースター技術

1. 新構造・新材料を用いたMOSFET

Fig. 3で示したトレードオフ関係や不純物の統計ばらつきによるMOSFETの特性ばらつき等は、本質的な物理機構によって決定されているものであるため、従来のバルクSi基板上的MOSFETの不純物濃度や酸化膜厚などを最適化しても解決することができない。このことから、2000年代（90 nm技術ノード世代）以降、スケールングに加えて、MOSFETの消費電力、オン電流、短チャネル効果のそれぞれの特性を向上させるような新たなテクノロジーを導入することで、トレードオフ関係を解消しながら微細素子を実現するという手法が取られるようになった。このような各デバイス性能を向上させる技術は、テクノロジー・ブースター（Technology Boosters）と呼ばれ、このような手法によって微細化を進める方法は、等価的スケールング（Equivalent Scaling）と呼ばれている。代表的なテクノロジー・ブースターは、ひずみSi、high-k/メタルゲート・ゲートスタック、マルチゲート構造などである。これらの技術に特徴的なことは、MOSFETの構造が複雑化していること、また従来Siテクノロジーでは用いられなかった新しい材料が導入されていることである。90 nm技術ノード以降のロジックLSI開発は、これらの新しいテクノロジー・ブースターをどの世代で導入していくのかを明らかにすることによって進められたと言っても過言ではない。

Fig. 5に、国際半導体技術ロードマップ ITRS2010⁴⁾に掲載されている、今後のデバイス技術のトレンドの

流れを要約した図を示す。2011年以降の微細MOSFETの進展も、後述するような薄膜ボディ構造、マルチゲート構造、III-V族化合物半導体/Geチャネル構造などが順次導入されると予測されており、2000年以降継続的に進められている新構造・新材料の導入による新たなテクノロジー・ブースター技術の導入が、引き続き、不可欠であることが、この図からもよく分かる。以下では、これらのテクノロジー・ブースター技術のいくつかを簡単に紹介する。

2. high-k/メタルゲート・ゲートスタック構造

ゲート酸化膜容量を高めること、すなわち酸化膜厚を薄くすることは、短チャネル効果、オン電流、低電圧動作、Sファクターの向上、閾値ばらつきの抑制など、多くの点でMOSFETの特性に有用であるが、薄膜化の副作用としてのトンネリングによるゲート電流の増大が大きな課題であった。そこで、従来のSiO₂ゲート酸化膜よりも誘電率の高いhigh-k絶縁膜を用いて物理的な酸化膜厚を低下させず、また非常に高濃度にドーピングされているが半導体であるポリSiゲート電極に替えてメタル電極を用いることにより、ゲート電極自体の空乏化による寄生容量を発生させずに、ゲート容量を大きくできるhigh-k/メタルゲート・ゲートスタック構造が開発された。MOSFETのスケールングの点で極めて有効な新材料技術であり、Intel社が、ハフニウム系の材料を用いて、45 nm技術ノードに導入⁵⁾した。この技術は、将来に渡って必須である。

high-k絶縁膜の課題は、high-k絶縁膜とSiとの直接界面を形成すると界面特性の劣化により移動度が劣化

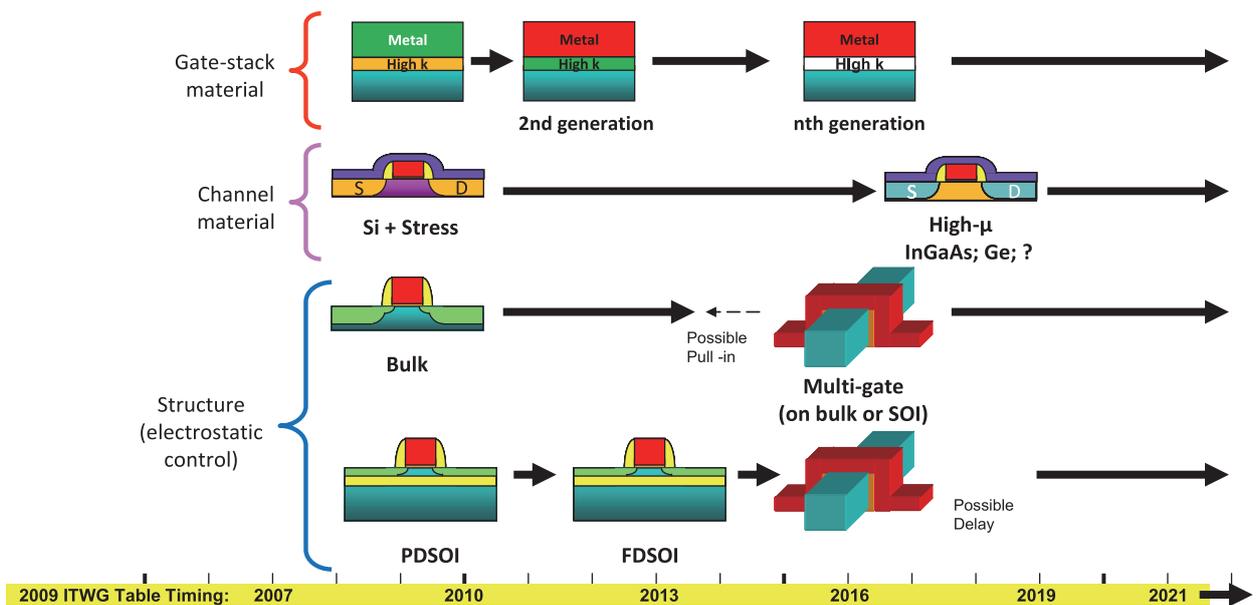


Fig. 5 Technology roadmap for MOSFET device structures⁴⁾

する点である。現在は、オン電流の低下を抑えるため、極薄のSiO₂系絶縁膜を界面層として挿入しているが、このような積層構造では、将来の技術世代で必要となる更に薄い等価絶縁膜厚を実現することが極めて難しい。良好な特性を有するhigh-k絶縁膜/Si MOS界面層の実現、及びhigh-k絶縁膜の更なる高誘電率化が必要である。

また、金属電極に関しては、high-k絶縁膜と合わせて、その熱的不安定性により、nMOSFETとpMOSFETのそれぞれに対して、閾値を適切に制御できないという課題が、現在、十分には解決していない。今後の集積化技術の中で、適切な材料系とプロセスの選択が必要である。

3. 薄膜ボディ構造・マルチゲート構造

短チャネル効果の抑制のためには、ゲート電圧によるMOS界面に生成するチャネル電子に対する支配力を高める必要がある。この目的のためには、薄膜SOI (Si-On-Insulator) の様に、チャネル層を極薄膜化する(薄膜ボディ構造)こと、更にこの薄膜ボディを取り囲む形でゲート電極を形成すること(マルチゲート構造)が効果的である。以上のことから、Fig. 6に模式的に示されている⁶⁾ように、今後、薄膜SOI上のシングルゲートのFET、ダブルゲートのDual-FinFET、トリプルゲートのTri-Gate FinFET、最終的には、ワイヤー状のチャネルの周りをゲート電極が取り囲むナノワイヤーFETの順に、チャネル構造が進化していくと考えられる。ごく最近、Intel社が22 nm技術ノードのMOSFETにFinFETを採用することを明らかにし、薄膜ボディ構造マルチゲート構造も、いよいよ実用化される時代に入ってきた。

このような素子構造により、短チャネル効果抑制を、基板不純物により形成される電界ではなく、物理的な

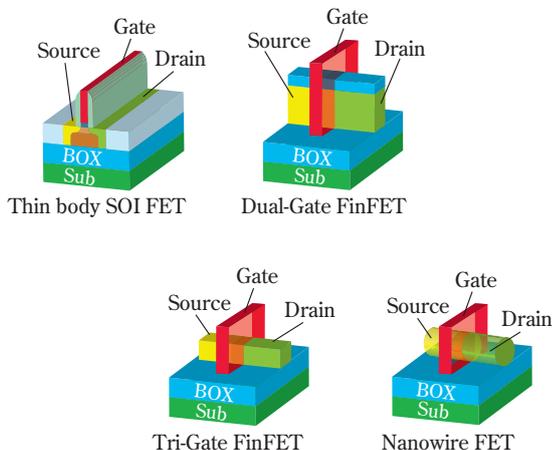


Fig. 6 Expected revolution of gate and channel structures for MOSFETs

構造の形状効果で実現できる。チャネルに不純物を含まないイントリンシック・チャネルを用いることができ、閾値制御をゲート電極で行うことによって、不純物ばらつきによる閾値ばらつきや特性ばらつきを低減できる。一方で、立体構造のMOSFETを形成するための高精度の加工技術、寄生抵抗・容量などの低減、異なる閾値をもつMOSFETを同一基板上に実現する方法などが課題である。

4. ひずみSi技術

Siに大きな応力が印加されると、バンド構造が変調される。このため、適切な応力を利用してSiチャネルにひずみを加えることにより、有効質量の低減や軽い有効質量をもつ電子状態のキャリア数の増加などが生じ、チャネル移動度の向上と、電流駆動力を高めることが可能となる⁷⁾。このような方法で、MOSFETのオン電流の向上を実現するひずみSi技術は、90 nm技術ノード⁸⁾以降のCMOSに積極的に利用されている。チャネルへのひずみの導入は、MOSFETの構造の中に、局所的に、強い応力を含む材料を取り込むことにより行われ、様々なひずみ導入手法が開発され、実用化されている。Fig. 7に典型的なひずみ導入手法を模式的に示した。CMOSを構成する電子チャネルを有するnMOSFETと正孔チャネルを有するpMOSFETでは、最適なひずみの方向が異なることから、それぞれに最適なひずみが導入できるように構造とプロセスが工夫されている。ひずみSi技術は、チャネル材料として、従来のSiをそのまま使用し、SiGeやSiNなどのSiテクノロジーに馴染みやすい応力材料を使いこなすことで、他の電気的特性を大きく犠牲にすることなく、MOSFETのオン電流を効果的に高めることができる。このため、ひずみSi技術はこの10年間の間に急速に発展し、先端CMOSロジックでは不可欠な技術と認識されている。一方で、ひずみによるSi性能向上もほぼ飽和に達していること、微細化が更に進行するとひずみの導入が難しくなることなどから、Geやグラフェン、また次節以降で詳細に述べるIII-V族化合

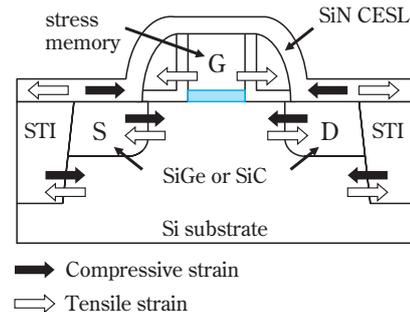


Fig. 7 Typical structure of local strain introduced MOSFET

物半導体のようなSi以外のチャンネル材料など、ポストヒズミSiの役割を担えるオン電流向上技術が今後必要になると考えられている。

化合物半導体MOSFET技術

1. III-V族化合物半導体の基本特性とMOS界面問題

III-V族化合物半導体とは、Al、Ga、In等の3価の陽イオンになるIII族元素と、N、P、As、Sb等の3価の陰イオンになるV族元素とから成る半導体である。IV族半導体であるSiやGeに対する主な特徴として、電子移動度が大きいため電子をキャリアとする高速・高周波デバイスを作製できること、及び、価電子帯と伝導帯との間の電子遷移がフォノンを介さない直接型であるために高効率・高感度な発光・受光デバイス应用到していることが挙げられる。また、複数のIII-V族化合物半導体の合金化（AlN-GaN、AlAs-GaAs、GaAs-InAs、GaP-InP等）によって、バンドギャップと結晶の格子定数を連続的に変えることが可能であり、このことがヘテロ構造を利用した様々なデバイス設計を可能にしている。

現在開発が進んでいるIII-V族化合物半導体を用いたMOSFETは、低消費電力で動作可能な高速・高周波動作を可能とすることから、後述のように、ポストスケールリング世代のCMOSや通信用デバイスへの応用が期待されている。主なIII-V族化合物半導体について、MOSFET応用において重要な物性をTable 1にまとめる。電子有効質量が小さい半導体は、伝導帯の有効状態密度が小さく、電子移動度が大きいことが見て取れる。一般に、一定の電圧の下で多くの電流を流すためには、電子移動度が大きいほうが有利である。その一方で、移動度が大きい半導体を用いたMOSFETにおいてゲート絶縁膜の厚さを数nm以下にスケールした場合、小さな有効状態密度のために表面キャリア濃度が抑えられ、高移動度化によるON電流増加効果を打ち消してしまう可能性がある。この移動度と状態密度とのトレードオフの関係は、MOSFET応用においてIII-V族化合物半導体を選択する際に考慮すべき点の一つである。

この他に、半導体物性に関連して考慮すべき点として、OFF電流を抑制するためにはバンドギャップが大きいほうが好ましいことが挙げられる。また、一般に半導体の伝導帯は、 Γ valley、L valley、X valleyなど異なる電子有効質量を有する複数の成分から構成され、GaAsをはじめとするIII-V族化合物半導体は、その中で最も小さな電子有効質量を持つ Γ valleyが最もエネルギー的に安定であるが、高表面キャリア濃度下あるいは高電界下ではその Γ valleyから電子有効質量の大きなL valleyへの電子遷移が生じる。このようなvalley間遷移による移動度低下を避けるためにこれらのvalley間のエネルギー差は大きいほうが好ましいことも考慮すべき点として挙げられる。以上の諸要因に加えて、後述のMOS界面制御の容易さのため、現在のIII-V族化合物半導体を用いたMOSFETの研究はInAsとGaAsの合金である $\text{In}_x\text{Ga}_{1-x}\text{As}$ に集中している。In組成 x は、多くの場合、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ エピタキシャル層が工業的に生産されているInPウエハに格子整合するように、 $x=0.53$ に設定される。

さて、MOSFET動作の基本は、ゲート電極への電圧印加によって半導体表面のフェルミレベルの位置を変化させ、表面キャリア濃度を高くしたり（ON状態）、低くしたり（OFF状態）することにある。電極として用いられる金属と半導体表面との間に流れるリーク電流を抑制するため、両者の間に絶縁膜が挿入されるが、この絶縁膜として一般的にはバンドギャップの大きな誘電体が利用され、特に空気中動作においても安定な酸化材料が用いられるのが一般的である。従って金属電極に印加された電界により、挿入された絶縁酸化膜と半導体との界面でキャリアは誘起される。この界面を一般にMOS（Metal-Oxide-Semiconductor）界面と呼ぶが、半導体としてSiを用い、絶縁層として SiO_2 を用いたSiMOS界面に比べ、III-V族化合物半導体を半導体として用いたMOS界面（以下、III-V MOS界面と呼ぶ）には、一般に高密度の界面準位が発生し、これが表面フェルミレベルの変化を妨げるピニングという現象を引き起こし、その結果、金属電極による界面キャリアの制御が極めて困難になり、MOSFET動作を

Table 1 The electronic characteristics of typical semiconductors

	Si	Ge	GaAs	InP	InGaAs(In 53%)	InAs	InSb
Electron mobility (cm^2/Vs)	1600	3900	9200	5400	12000	40000	77000
Effective Mass of electron, m_t/m_0	0.19	0.082	0.067	0.082	0.041	0.023	0.014
Hole mobility (cm^2/Vs)	430	1900	400	200	300	500	850
Bandgap (eV)	1.12	0.66	1.42	1.34	0.74	0.36	0.17
Effective DOS in conduction band (10^{19}cm^{-3})	2.8	1.04	0.047	0.057	0.021	0.0087	0.0042

困難にしている。この問題を解決するために、1970～1980年代にかけて、GaAsやInPといった半導体上に、様々な酸化手法（熱酸化、陽極酸化、プラズマ酸化）や絶縁膜析出法（蒸着、スパッタ、CVD法、sol-gel）で絶縁膜を形成し、界面準位を低減する試みがされた。しかし、実用上十分な品質のMOS界面形成技術を確立するに至らなかった。この辺りの事情は、“Physics and Chemistry of III-V Compound Semiconductor Interfaces” (C. W. Wilmsen編, Plenum Press, New York, 1985) にまとめられている⁹⁾。この本の中で、MeinersはC-V測定の誤った解釈が研究者の間で混乱をもたらした経緯を踏まえて、III-V MOS界面が間違いなく蓄積・反転していることを示すためには、「pチャネルとnチャネルの両方でノーマリーオフのMOSFET動作が示されるまでは、III-V MOS界面の蓄積・反転を信じることはできない」と述べている。

III-V MOSFETの研究開発の困難さから、その代表材料であるGaAs系FETにおいては、ゲート金属とGaAs結晶層を直接接合するショットキーゲート型FETの利用が主流となった。GaAs表面においては上述のように高密度の界面（表面準位）が発生し、表面フェルミレベルのピニングを引き起こすが、このため接合する金属の種類・仕事関数に関係なく一定の大きさ（約0.8 eV）の表面電位障壁（ショットキーバリア）が形成される。このショットキーバリアは一種の擬似的な絶縁ゲート層とみなされ、同層を介してゲート電位の変調によりGaAs内部に形成された導電性チャネルの電流を変調することができ、FETとしての動作が可能になる。MOSFETで用いられる酸化膜ゲート層に比べショットキーバリア層の電位障壁が小さいため大きな電圧振幅を必要とする界面蓄積あるいは反転モードでの高密度電流動作は困難であるが、Siに較べて大幅に高いGaAsの電子移動度を利した高速動作が可能となる。特に1978年富士通の三村・冷水らにより発明されたHEMT (High Electron Mobility Transistor) においては¹⁰⁾、金属とのショットキーバリアを利用することは同様であるが、ゲート層に比較的バンドギャップの大きなAlGaAs層を用い、チャネル層にGaAs層を用いると共に、チャネル電子密度・FET閾値の調整に必要なドーピング不純物をAlGaAs層側にのみドーピングする、いわゆる変調ドーピング構造を利用している。この構造においてはチャネル電子はAlGaAs・GaAs界面のGaAs側に誘起されるが、室温付近において電子の大きな散乱要因であるイオン化ドーピング不純物はAlGaAs側にしかないため、チャネルを走行する電子の移動度は大幅に改善され、III-V族化合物半導体の特徴である高い電子移動度というメリットを最大限に引き出すことが可能となる。そのためその後のIII-V族化合物半導体系FETの開発と実用化は、このHEMT系へとシフトしていった。

2. HEMT技術の発達と高周波デバイス応用

80年代後半から90年代以降は、上記HEMTの改良はさらに進められ、チャネル層を、電子輸送特性に優れ、より高い電子移動度を有するInGaAs量子井戸層で置き換えたいわゆるp-HEMT (Pseudomorphic: 擬格子整合型HEMT) が開発された。このp-HEMTは、現在携帯電話を中心とする各種ワイヤレス通信で多用される1～数十GHzという超高周波帯における、フロントエンドモジュール（高周波信号を受信増幅する超低雑音増幅器 (Low Noise Amplifier: LNA)・端末からの信号を増幅・発振するための高効率電力増幅器 (Power Amplifier: PA)、及びそれらの受信・送信を高速に切り替えるための低損失スイッチ (Switch: SW) 類等) に多用されている。ここで、その動作機構・性能要因において冒頭より述べてきたデジタル集積回路用のMOSFETとも関連の深いスイッチ (SW) 応用について若干触れておく。

p-HEMTにおけるドレイン電流の最大値は、ゲート耐圧と共にそのSWとして取り扱える最大電力に関係する。一方、最小値はオフ動作時のリーク電流であり、このリーク電流の低減（オフ抵抗の増大）はスイッチ動作においてひとつの回路パスがON状態になっている場合、その回路パスを通過する信号から他のOFF状態における回路パスとのアイソレーションを確保する上で重要である。またOFF状態においても高周波信号を扱う場合、OFF時の残留容量を介して信号の損失が生じる。この高周波損失に関して、高抵抗の半絶縁性基板を用いるGaAs系SWにおいては、Siのように高抵抗化の困難な基板使用時に生じる寄生容量成分が無視しうるほど小さいのは既に述べた通りであり、GaAs系SWの大きな利点のひとつである。Fig. 8にFETの一般的電流電圧特性を示す。低ドレイン電圧の線形領域におけるドレイン電流の立ち上がり（傾き）の逆数は R_{on} （オン抵抗）と定義される。この R_{on} は、SWにおいては、ON動作時の挿入損失に密接に関連し、高周波信号受信時のLNAの雑音指数、あるいは送信時のPAの実効的な効率に直結する重要な指標である。

p-HEMTの R_{on} は、大別すると、ア) チャネルとなるInGaAs量子井戸層における横方向のチャネル抵抗、及びイ) オーミック電極注入部からチャネルまでの縦方向の抵抗、の2成分に分けられる。 R_{on} は、実質的に、
$$R_{on} \propto L_g / (\mu_n \cdot C_i \cdot Z)$$
と表され、同一ゲート寸法 ($L_g \times Z$) 条件では C_i （ゲート容量）と μ_n （電子移動度）とに反比例する。 C_i はp-HEMTやMOSFETの場合、チャネル層に誘起される二次元電子密度に比例し、これも高いほうが R_{on} に関しては有利であるが、ON・OFFに伴うゲート充放電容量も増加する結果、消費電力の増大を招く。この点はゲート長自体 (L_g) を微細化することで容量を抑制するこ

At Linear Region, I_{ds} can be described;

$$I_{ds} = \frac{Z}{L_g} \mu_n C_i (V_g - V_{th}) \cdot V_{ds}$$

L_g : Gate length Z : Gate width

μ_n : Electron mobility

C_i : Gate capacitance

V_g : Gate voltage V_{th} : Threshold voltage

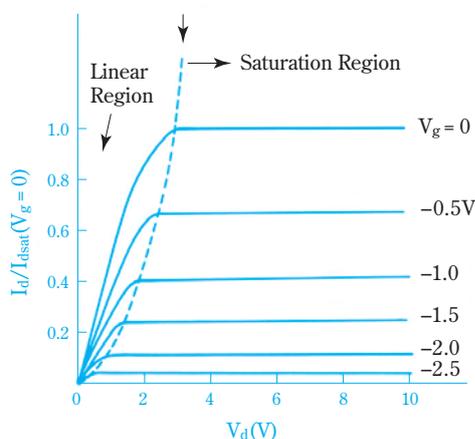


Fig. 8 Schematic I-V characteristics of FETs

とは可能であるが、より高度な微細加工技術を必要とし、またショットキーゲートを用いるHEMTの場合、ゲート耐圧を保持する上であまりゲート層自体を薄く出来ない (C_i を大きく出来ない) という制約もある。このため、他特性とのトレードオフが無く、最も好ましいのは電子移動度の増加であり、この点、Siは勿論のことながらGaAsに較べてもさらに移動度の高いInGaAsをチャンネルに用いながら、ゲート層としてはバンドギャップが大きく耐圧に比較的に有利なAlGaAsを組み合わせたInGaAsチャンネルp-HEMT構造は合理的な構造である。

InGaAsチャンネルp-HEMT SWは高周波SW用として広く用いられているわけであるが、高周波SWで問題となる R_{on} の低減は、1, 2節で述べてきた集積回路における動作速度の向上に必要な駆動電流の向上と共通した課題である。高い電子移動度を有するIII-V族化合物半導体は、集積回路用としても本質的に優れた素質を有していることから、同分野においては実際に80年代からポストSiの筆頭技術のひとつとして、特に移動度特性に優れたHEMT・p-HEMTを含めその開発が精力的に進められてきた。しかし、結局のところSi MOSFETを置き換えることは出来ず、上記のように高周波・超高速分野でのディスクリート・小規模集積回路への応用に留まってきた。そこには、Siという化学的・機械的かつ経済的にも優れた結晶材料に較べ、希少元素を用いること、化合物特有のストイキオメトリ制御の難しさ・機械的な脆さ・伝熱特性の悪さ等に起因する基板コストの問題や品質向上の難しさなど幾つかの工業的

要因も影響しているが、デバイス技術的な観点からは、やはりIII-V族化合物半導体における安定なMOSFET技術の不在が大きな要因のひとつであったと思われる。GaAs FET、あるいはHEMTは、その高い移動度により同一設計であればデバイス単体の速度ではSi MOSFETを凌駕する。しかし上述の高周波SWに代表される単体あるいは小規模集積回路とは異なり、大規模集積回路においては、FET単体の速度のみならず、接続される次のFET群の充放電容量及びそれらを連結する配線等の寄生容量の充放電に伴う遅延が問題となって来る。特に配線容量の点は深刻な問題であり、最終的には後述の光配線等抜本的な対策が必要と考えられているが、まずは、極力抵抗を下げた配線に対しトランジスタからの出力電流を十分に供給する必要がある。そのため、トランジスタ単体の電流密度を上げる必要があり、移動度が一定限界に到達した場合、それ以降は、ゲート容量を増大させチャンネル電子密度を上げることにより必要な電流駆動能力を確保する必要がある。これはSi MOSFETにおいては高い絶縁性能を持つSiゲート酸化膜の厚さを薄く、微細化していくことで実現されてきた。しかし、本節冒頭で示したようにショットキーゲート型を採用するGaAs系FETあるいはHEMTにおいてはゲート耐圧が高く取れないためゲート電圧振幅に限界があり、最大チャンネル電子密度はSi MOSFETのそれの一桁近く低い値に留まる。さらに微細化が進めば進むほど、可能な電圧振幅は小さくなり、高い移動度というアドバンテージは失われることになる。

3. GaAsの界面準位の起源とnMOSFETの実現

上記に述べてきたようにHEMT技術の発展と限界の一方で、GaAsにおけるMOS界面制御の検討も続けられ、その結果、現在ではノーマリーオフの表面反転型nMOSFETが、研究レベルではあるが既に実現されている。この進展には、以下の二つの技術が寄与していると考えられる。第一に、Bell LaboratoriesのHongらのグループは、GaAs上にGa₂O₃/Gd₂O₃単結晶膜をMBE (Molecular Beam Epitaxy) 成長することによりIII-V MOS界面のピニング解消が可能であることを、1996年以降の一連の研究の中で明らかにした^{11), 12)}。この「存在定理」の証明は、その後の一連の研究を動機付けるものとなった。第二に挙げるべきは2000年代に入ってからの高誘電率 (high-k) 絶縁膜技術の発展である。Siを用いて様々なMOSデバイス (ロジック、メモリ、センサー、パワー) が実用化されているが、その成功の理由の一つは、Siの熱酸化というシンプルな手法によって高い絶縁性と良好な界面特性を備えたSiO₂/Si構造が作製可能ということにある。その界面特性については、SiO₂/Si界面のSi原子の未結合手 (ダングリングボンド) が界面準位の主因であることが電子

スピン共鳴測定等から明らかにされている⁹⁾。その未結合手の密度は、熱酸化直後は $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度と比較的高いが、水素雰囲気下で熱処理することにより $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下に低減する技術が確立されている。しかし冒頭述べたようにスケリングの限界に伴い、単なる熱酸化膜ではMOSFETの微細化への対応が困難になる状況下で、ロジックLSIの微細化に伴うゲートリークの抑制や、DRAMのキャパシタ容量の増大に対応する必要から、熱酸化膜に替え、高品質のhigh-k金属酸化物膜を、CVD (Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法といった析出法によって成長する技術が急速に高度化された。MOS界面の構造や物性を評価し理解するための計測・シミュレーション技術の進展と相まって、下地基板との界面構造（とくに酸化状態）を制御しつつ絶縁膜を形成することが可能となった。

半導体と金属とのMetal-Semiconductor (MS) 界面やMOS界面に準位が発生する機構については、これまでに数多くの研究がなされており、その成果は優れた総説にまとめられている¹³⁾⁻¹⁵⁾。界面準位の起源を説明する主なモデルとしては、金属誘起ギャップ準位 (Metal Induced Gap State : MIGS) モデル、統一欠陥 (Unified Defect Model : UDM) モデル、乱れ誘起準位 (Disorder-Induced Gap State : DIGS) モデル、有効仕事関数 (Effective Work Function) モデル、ボンド分極 (Bond Polarization Model) モデルなどが提唱されている。どのような系に対してどのモデルが妥当なのかは、いまだ議論が尽きないところであるが、少なくともMS界面に関しては、MIGS機構による界面準位発生が計算によって検証されており、このモデルは広く受け入れられている。

上記の5つのモデル中で、MOS界面に適用できるのは、Spicerの統一欠陥モデル¹⁶⁾と、長谷川のDIGSモデル

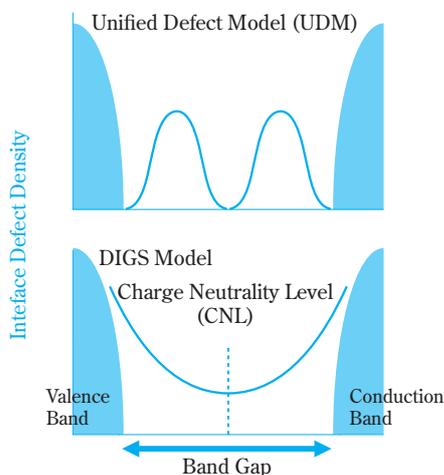


Fig. 9 Unified defect model and DIGS model

ル¹⁷⁾である (Fig. 9)。前者は、界面準位の原因を特定の局所構造に求める考え方であり、 SiO_2/Si 界面におけるダングリングボンドのような構造の他、Ⅲ族あるいはⅤ族原子が抜けてしまった空孔、Ⅲ族原子の位置にⅤ族原子（あるいはその逆）が入ってしまったアンチサイト、Ⅴ族原子同士が結合したダイマー構造などがその起源と考えられている。後者は、固体の接合そのものが結晶の結合状態に乱れを誘起する結果、価電子帯と伝導帯の電子状態がギャップ内に染み出してギャップ内準位を形成する、という考え方であり、即ち、統一欠陥モデルで考える局所構造よりも大きなスケールでの構造変化を界面準位の起源と考えている。

統一欠陥モデルで考えている欠陥は、それぞれ固有のエネルギーを持つので、界面準位スペクトルにおいてピークとして現れる。一方、DIGSモデルにおける界面準位は、その成因から、バンド端からギャップ中に向かって離れるに従って密度が小さくなるためU字型を示す。このとき、界面準位が最小となるエネルギーまで準位が占有されると、界面の電荷が中性となると考えられるため、このエネルギーはCharge Neutrality Level (CNL) と呼ばれる。

Ⅲ-V MOS界面準位形成に関する主要な実験事実と、上記のピンニングモデルとの対応を見てみよう。まず、統一欠陥モデルを提案したSpicerが初期に報告したように、GaAs (110) 清浄表面を超高真空中でのへき開によって準備し、これに酸素分子を吸着させていくと、0.05分子層という低い被覆率において、すでにフェルミレベルがピンニングされている (Fig. 10)¹⁶⁾。また、Ⅲ-V族化合物半導体の表面上に絶縁膜を析出法によって形成してMOSキャパシタを作製する場合、その表面の自然酸化膜を取り除いてから絶縁膜を成長したり¹⁸⁾、表面酸化膜を還元する効果を持つ原料を用いた原子層成長法 (ALD) 絶縁膜を形成する¹⁹⁾ことで良好な特性が得られることが多い。これらは、欠陥の誘起が、酸素とⅢ-V族化合物半導体との結合の局所構造に依存することを示唆し、統一欠陥モデルを支持する実験結果である。

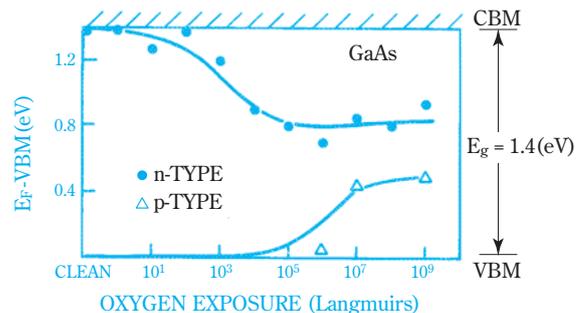


Fig. 10 Fermi level pinning by oxygen exposure at the surface of GaAs¹⁶⁾

一方、先に述べたように、酸化物であるGa₂O₃/Gd₂O₃をGaAs上に形成しても（すなわち酸素とGaAsとの間に結合を形成させても）、それがエピタキシャルであればピンングを引き起こさないという事実²⁰⁾は、III-V族化合物半導体の結晶の乱れが界面準位の原因であるとするDIGSモデルを支持する（Fig. 11）。この数年の研究により、Inを含むIII-V族化合物半導体はnMOS動作が比較的容易、すなわち、伝導帯端付近の界面準位密度は比較的低いことが示されている。Inを含むIII-V族化合物半導体は、一般にCNLが伝導帯に近いところにあることが知られており（Fig. 12）、この実験事実もDIGSモデルによって説明することができる。

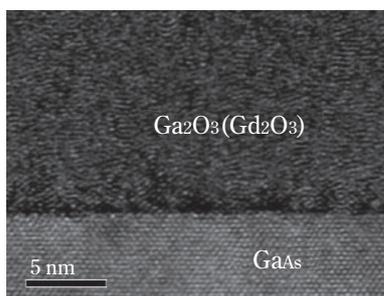


Fig. 11 Epitaxially grown Ga₂O₃/Gd₂O₃ on GaAs²⁰⁾

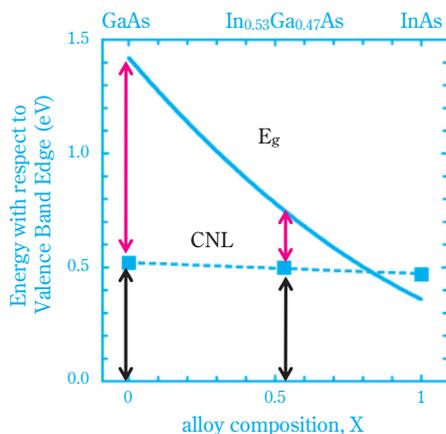


Fig. 12 Energy level of charge neutrality level (CNL) in In_xGa_{1-x}As

さらに最近、バンドギャップ内のみならずバンド内にも界面準位があり、これがデバイス特性に影響を与えることが指摘され、その詳しい検討が始まっている。バンド内のトラップ準位はDIGSモデルでは説明が難しく、これは欠陥に由来するものと考えらるべきであろう。統一欠陥モデルで考えられている種々の欠陥構造については、計算によってエネルギー位置が量的に見積もられているが²¹⁾、定性的にはFig. 13のように理解

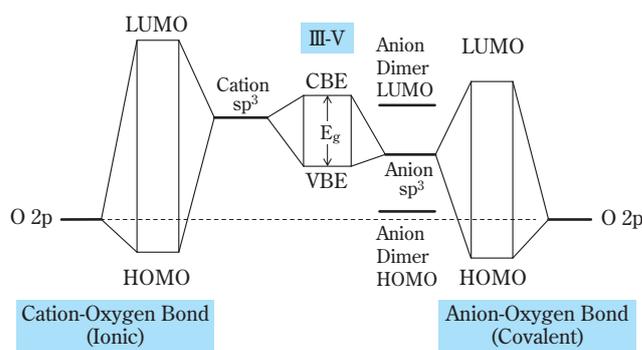


Fig. 13 Energy diagram of III-V semiconductor, its cation/anion oxides and anion dimer.

されよう。III-V族化合物半導体結晶は、III族原子とV族原子のsp³混成軌道が関与した結合によって形成されている。この時、III族原子のsp³混成軌道のエネルギーはV族原子のそれより高いため、原子間の結合は共有結合とイオン結合の両方の性格を持つ。IV族半導体は共有結合のみによって形成されるため、価電子帯は共有結合の結合状態、伝導帯は反結合状態が集まったものであるが、III-V族化合物半導体では、そのイオン性のため、価電子帯はV族原子のp軌道の集まり、伝導帯はIII族原子のs軌道の集まりとしての性格をより強く持つことになる。ここでIII-V族化合物半導体上に酸化膜を形成して、III族原子と酸素、V族原子と酸素の結合が発生したとしよう。III族原子と酸素の結合は強いイオン性をもち、結合状態と反結合状態の間が大きく開き、これらの状態はそれぞれIII-V族化合物半導体の価電子帯と伝導帯の中に入る。一方、V族原子と酸素の結合はより共有結合性が強いものであり、III-V族化合物半導体が窒化物である場合を除けば周期の異なる（軌道の大きさが異なる）原子間の結合であるため、結合状態と反結合状態のエネルギー差はあまり大きくなる。そのため、この結合の反結合状態は、半導体の伝導帯端に比較的近いところに準位を形成すると予想される。また、この図から容易に想像できるように、III族原子のダングリングボンドはバンドギャップの価電子帯端に近いところに準位を生じ、一方、V族原子のダングリングボンドはバンドギャップの伝導帯端に近いところに準位を生じる。また、V族同士が結合したダイマーが生成すると、その反結合状態は、伝導帯端に近いところに位置するものと考えられる。

4. 最近のIII-V MOSFET技術の発達

さて、長年の懸案であったGaAsを始めとする化合物半導体においてMOSFET動作が実現され、一方でSi CMOS集積回路における微細化も限界に近づきつつある中で、両者の融合は技術的には必然の流れであると

もいえる。このため2000年代後半から、日米欧において幾つもの研究開発プログラムがほぼ同時にスタートし、活発な開発競争が始まっている。

微細化が限界を迎えた後にCMOSの性能向上を可能にするテクノロジー・プースター技術として、日本においては、東京大学、(独)産業技術総合研究所、(独)物質・材料研究機構、住友化学(株)が、(独)新エネルギー・産業技術総合開発機構 (NEDO) 「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」(平成19-23年度)の委託により、シリコンプラットフォーム上Ⅲ-V族化合物半導体チャネルトランジスタ技術の研究開発を進めている。以下にこれまでの主な成果を紹介しよう。

実際に現在の工業的な集積回路製造ラインのベースとなっている大型シリコンプラットフォームにⅢ-V族化合物半導体チャネルトランジスタを実現するためには下記の課題がある。

- ・ MOS界面制御技術
- ・ ソースドレイン形成技術
- ・ Si基板上への集積
- ・ 高性能nMOS及びpMOSの実現によるCMOS技術の実現

(1) MOS界面形成技術

これは最も本質的な問題の一つであったが、既に述べてきたように近年の様々な技術の発達により、幾つかの要素技術によりON/OFF動作上支障の無い程度のMOSFETが得られている。GaAsにおいても清浄な表面に適切な手法でGa₂O₃/Gd₂O₃を形成することで低界面準位密度のMOS界面が形成できることは知られているが、InGaAsを用いることでより容易に高品質なMOS界面の形成が可能である。InP基板上にエピタキシャル成長により形成されたInGaAs結晶表面を化学的な処理により清浄化後、SもしくはSe処理または窒化処理を施し、その後ALD (Atomic Layer Deposition) 法を用いたAl₂O₃膜の堆積により、良好な界面特性を有するAl₂O₃ゲート絶縁膜を形成することが出来る。これらの処理の厳密なメカニズムは未だ検証中であるが、これらの処理を通じて界面準位の要因と推測される過剰AsないしAs酸化物の除去 (S/Se、N化処理とALD初期過程における、原料TMA : trimethylaluminumによる表面酸化膜の還元除去等が関与しているものと考えられている)、さらに表面ダングリングボンドの終端 (S/Se、N化) も同時に進行しているものと推測される。また、InGaAsにおいては、Fig. 12に示したようにCNLが伝導帯に近いこと、および、伝導帯下端がGaAsに比べ真空準位から離れる (電気陰性度が大きい) ため、Fig. 13に示したような界面結合の反結合状態に由来する界面準位が伝導帯内に入り込みギャップ内状態となりにく

いことも、InGaAsのMOS界面特性が比較的良好となる一因と考えられる。こういった一連の操作により、一般に用いられているSi MOSFETに比べ2~3倍に及ぶ高い電子移動度を有するn型InGaAs MOSFETの動作に成功している (Fig. 14 (a))²³⁾。

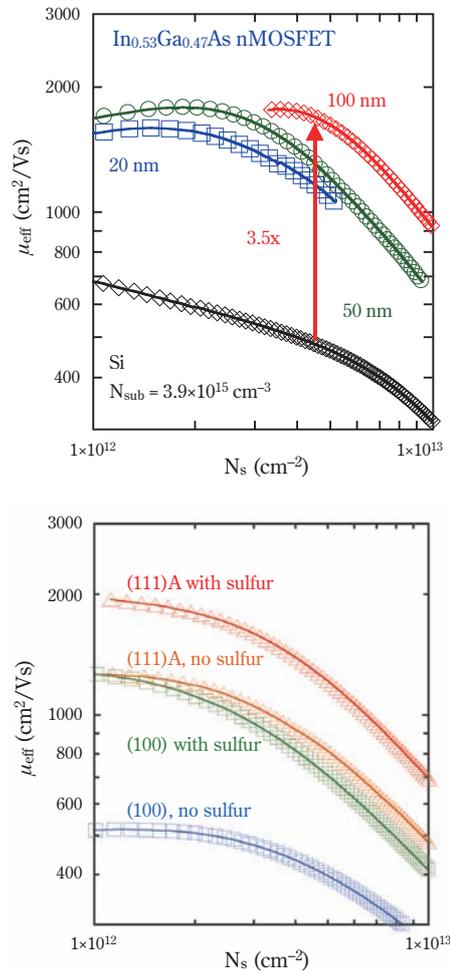


Fig. 14 Mobility (μ_{eff}) - carrier concentration (N_s) characteristics for InGaAs MOSFETs.
 (a) InGaAs-OI structures with InGaAs (100) channel thickness of 20, 50, and 100 nm.
 (b) μ_{eff} for InGaAs MOSFETs on the different InGaAs surfaces.²⁴⁾

上記InGaAs MOSFETの電子移動度は、同様なチャネル材質を有するHEMTに比較すると依然低いのは事実である。これは、界面の処理方法 (S処理、Se処理等) によっても鋭敏に変化することから、現状でも電子の散乱中心となる残留界面準位が影響している他、単一構成元素からなるSiに比べ、界面に存在する陽イオン (In、Ga) と陰イオン (As) の形成するダイポールの局所的な揺らぎも影響しているものと推測される。上記データは一般に用いられる (100) 結晶面での結果

であるが、元の結晶の基板面方位を(111) A面に変え、また適切な前処理を施すことでチャネル電子移動度は大きく向上する(Fig. 14 (b))²⁴⁾。この場合、MOS界面付近には陽イオン(In, Ga)原子面が並んでいるはずであり、この場合には少なくとも面内方向では上記ダイポールが形成されにくいこと、あるいは界面準位形成に大きな役割を有している陰イオン(As)自体の影響度が少ないことも関与しているのかもしれない。

また別のアプローチとしてHEMT同様にゲート絶縁膜面とチャネル面との間にチャネルInGaAsより電子親和力の小さなInP結晶層を薄く埋め込む構造も効果的である。ゲート電極への正電界印加によりチャネル層側には2次元電子層が誘起されるが、HEMT同様電子親和力の大きなInGaAs層にまず誘起される電子は、InP層により残留欠陥準位のあるMOS界面とは物理的に分離されるため、移動度はさらに大幅に向上し、ピーク移動度は5000 cm²/Vsを超える²⁵⁾。但しあまりInP層を厚くし過ぎるとMOS本来の目的のゲート容量向上(電子密度向上)が難しくなるが、Siに比べ様々なヘテロ接合技術の適用できるIII-V族化合物半導体においては、MOSFETにおいても今後高度なヘテロ接合制御を利した様々な改良が可能なものと思われる。

(2) 低抵抗ソースドレイン形成技術

前節高周波SWの項において述べたように、チャネル抵抗の低減と並んで実デバイスにおいて重要なのが、ソースドレイン電極からチャネルまでのアクセス抵抗の低減である。一般的には、III-V族化合物半導体においては、ソースドレインオーミック電極の形成は、高濃度ドーブされたコンタクト層への合金化電極形成が一般的であるが、MOSFETプロセスにおいては基本的にプレーナプロセスであるため、リセス構造を必要とする高濃度コンタクト用結晶層を予め積層しておく通常のp-HEMT型のプロセスは採用しにくい。そこでゲート層形成前にソースドレイン領域に予めイオン注入により高密度に不純物注入し熱処理活性化して、オーミック電極を形成する手法が採用されることが多いが、注入過程での結晶の損傷あるいは有効不純物濃度の不足により、現状では必要とされる値に比べ寄生抵抗が1桁高すぎるのが問題となっていた。一方、Si MOSFETにおいては、Niなど幾種類もの金属がSiと金属性化合物(シリサイド)を形成することを利用したソースドレイン形成技術が一般的である。従来知られてなかったが、本委託PJの研究の結果、InGaAsに対してNi膜を堆積させ、低温熱処理を施した結果、SiやGe同様に、合金化による金属性化合物が生成することが初めて確認され²⁶⁾、これを利用してゲートに対し、自己整合的に低抵抗メタルソースドレイン電極を有するInGaAs MOSFETを形成することが出来た。

(3) シリコンウエハ上へのIII-V MOSFET形成技術

シリコン単結晶基板上へのIII-V族化合物半導体ヘテロエピ積層は、長年の課題であった。安価かつ大口徑で機械的にも優れるSi基板に高機能なIII-V族化合物半導体を形成することはコスト面、機能面で魅力が大きいためGaAs MOSFET同様70年代から活発な研究開発が行われてきたが、こちらもMOS同様苦難に満ちた歴史を辿って来た。単一元素からなる無極性結晶であるSi結晶に2元素からなる有極性GaAsを積層する場合、Ga層とAs層が交互に入れ替わるアンチフェーズドメインが発生し著しく結晶性を損なうこと、格子定数が大きく異なるため高密度のミスフィット転位が発生すること、両者の熱膨張係数の差が大きいため結晶成長工程を含む熱処理工程と室温間で大きな熱歪みが発生し時に結晶を破壊すること、及び相互にドーパント(不純物)の関係であるため相互汚染等の問題があり、その実用化を阻んできた。近年になり、異なる二つのアプローチから、その解決の曙光が見えてきた。ひとつは、Si基板上にマスクを形成し、極めて限られた小さな領域に選択的にエピタキシャル成長を行う方式であり、もうひとつは予め別の基板にエピ成長した高品質なエピ結晶層のみを基板から分離し、Si上に貼り合わせる方式である。

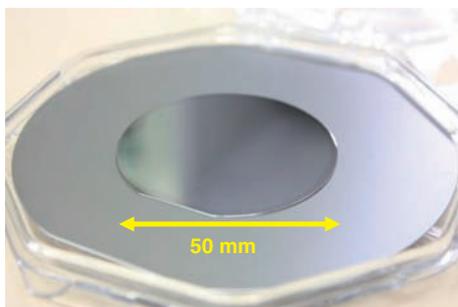
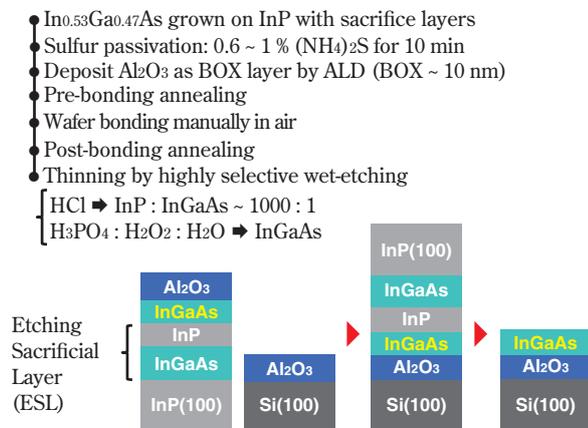
一般に異種基板上におけるヘテロエピ成長では多数の初期核が発生し、それらの核が各々微妙に位相の異なる中で成長合体することが、上記アンチフェーズドメインの問題や、ミスフィット転位の発生要因のひとつである。前者(選択エピ)方式は、成長領域をごく微小な領域に限ることで、ひとつの発生核からの単一ドメイン成長させることが基本原理である。転位が発生した場合でも熱処理により転位を結晶外に移動消滅させることは金属冶金分野では広く知られており、GaAsオンSi成長でも活用されてきた方法であるが、微小結晶の場合、転位を逃がすべき側面までの距離が極めて近いため、有効に熱処理効果を上げることができる。また熱膨張係数差についても予め微細に分割されている結晶については破壊応力が働きにくくなることもメリットのひとつである。選択エピ方式における難点としては、初期核発生とその後のエピ成長において、組成・結晶形状・不純物濃度等が、成長領域の形状や配置に鋭敏に影響され、その制御が容易でないことが挙げられる。

一方、後者(貼り合わせ方式)においては、結晶性の点においては問題は少ないが、元の基板との分離、特に非常に薄い結晶層の分離とそのハンドリングが最大の課題である。

本委託研究でも検討当初よりこの両方式に取り組んで来たが、ここではその詳細は割愛し、一例として、貼り合わせ法を利用し、かつ上記で述べてきたMOS界面

制御、ソースドレイン形成技術を統合して形成した、Si基板上InGaAs MOSFETの結果を紹介する^{23), 26)}。

Fig. 15は今回採用したプロセスフローである。ゲート酸化膜の形成に、ALD法によるAl₂O₃の極薄膜を利用しているが、この酸化膜は、Si基板との接合にも優れた接着強度を有している。今回のプロセスではInP単結晶基板上にMOCVD法により形成された薄いInGaAsエピ結晶層の表面にALD法によりAl₂O₃薄膜を形成した後、Si基板上に常温で貼り合わせた後、InGaAsエピ層のみを残し、InP基板を選択的にエッチング除去する。その後Si上InGaAs結晶層に開発されたMOSFET形成プロセスを適用し、Al₂O₃薄膜MOSゲート膜を有するInGaAsチャネルMOSFETを形成した。ソースドレインは前述のNi金属との金属化反応を利用したメタルソースドレイン構造である。完成したMOSFETのチャネル付近のTEM像をFig. 16に示す。チャネルInGaAs結晶層の厚さは幾つかのバリエーションがあるが、その厚さは蓄積されたMOCVD製膜技術により正確に制御されており、最薄で3.5 nmに及ぶ極薄のチャネルがウエハ全面に形成されており、そのMOSFETの動作に成功している。本プロセスにおいてはSi基板との貼り合わせ



- 2-inch In_{0.53}Ga_{0.47}As/Al₂O₃-Si wafer
- Smooth and mirror surface.

Fig. 15 Process flow of wafer direct bonding to fabricate InGaAs on Insulator(OI), and the outward appearance of bonded wafer.

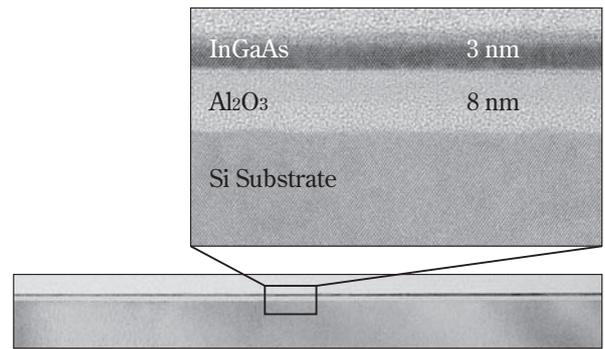


Fig. 16 Cross-sectional TEM view of ultra thin InGaAs channel on insulator.

面にもMOSゲート形成と同様のプロセスを適用してAl₂O₃酸化膜接着層を形成しているため、基板側（接着側）の界面も良好な電子特性を有しており、低抵抗Si基板をそのままバックゲート電極として利用することにより、MOSFETのオフ特性をさらに改良することが出来ている。こういった極薄チャネルを有する絶縁膜上のInGaAs MOSFETは、将来の超高速MOSFETにおける重要な要素技術と位置づけられる。

上記は高い電子移動度を有するInGaAsを用いたn型MOSFETについて述べてきた。一方相補型回路のもうひとつの要素であるp型MOSFETについては現在のところ、様々な半導体の中で最も高い正孔移動度を有するGeの利用がひとつの有力解と考えられている。既にその要素技術はこれまでのMIRAI等のプロジェクトで出来上がっているが、現在本委託研究においても、そのGe MOSFETとの集積化に関し、検討を行っているところであるが、その詳細はここでは割愛する。

以上、紹介したように、フェルミレベルピニングを解消して表面反転型のMOSFET動作させ、シリコンを超える移動度を得ることはNMOS、PMOS共に既に達成されている。今後は、最先端Si ULSIと同等なサイズまで微細化した際に、実際に高い電流駆動力を実現し、かつ、オフ電流やばらつきを抑制して低消費電力化を達成することが課題となろう。

5. ITRSにおける新材料チャネルの位置づけと今後の課題

半導体の分野では、米欧亜の専門家の調査と議論に基づいた国際半導体技術ロードマップ (ITRS) が公表されている (<http://www.itrs.net/>)。ITRSには、LSI等の半導体製品が満たすべき性能が、具体的な目標値の形で年ごとに示されるとともに、その実現に必要な技術課題とその時点で考え得るソリューションがまとめられている。現時点で最新の2010年のITRS2010によれば、今度のLSIの微細化は、SOI構造やFinFET構造に

より短チャネル効果を抑制しつつ進展していく一方、ゲート長が10 nmを切ると予想される2018年頃に、Ⅲ-V族化合物半導体やGe等の高移動度チャネル材料が導入されることが想定されている (Fig. 5)⁴⁾。これまで、高移動度チャネル材料は、長期的な技術課題を対象とするEmerging Research Devicesのセクションで主に扱われてきた。Si CMOS微細化の技術的困難さがさらに顕在化するとともに、今後、等価スケール技術としての期待が高まり、シリコン、特に歪の印可により移動度を高めたシリコンを置き換えるために、高移動度チャネルMOSTEFが満たすべき目標値が明らかにされていくものと予想される。Ⅲ-V族化合物半導体とGeに共通する今後の課題を以下に整理してみよう。まず、高移動度を十分に活かしたデバイス性能を実現するための要素技術として、MOS界面の更なる高品質化とソース・ドレインの更なる低抵抗化が必要である。前者については、界面準位の発生を広いエネルギー域にわたって抑制するとともに、キャリア散乱を最小化するための努力が続けられることになろう。後者については、ソース・ドレインを再成長により形成することで低抵抗化できることが報告されている。しかし、製造コストの観点からはメタルソースドレインが有利であると考えられ、その特性向上に向けて研究が進められるものと考えられる。

また、高度に発達したシリコンのプラットフォーム技術の中に高移動度チャネルを導入していく上で鍵となるのは、シリコン上にⅢ-V族化合物半導体/Geチャネル層を形成する量産技術の確立と、相互元素汚染(特にⅢ-V族化合物半導体で形成されたチャネルに由来するV族元素による汚染)の制御である。さらに、1000 °C程度の高温プロセスを含む従来のシリコンプロセスと、一般におよそ400 °C以下の温度で行うことが必要なⅢ-V/Geプロセスとのインテグレーションも、重要な課題と考えられる。

今後の新たな技術展望

過去40年間にわたるトランジスタのスケールングにより、トランジスタ単体の性能は飛躍的に向上してきた。一方、スケールングが進むにつれ、LSI全体の性能向上において、配線遅延の問題が深刻化しつつある。これは、単純なスケールングでは配線断面積が小さくなるため、配線抵抗 (R) と負荷容量 (C) できまる、いわゆるRC遅延がかえって増加してしまうためである。最も配線長が長いグローバル配線における遅延時間増加の影響はLSIの動作クロック速度の飽和などの形で近年顕在化している。配線遅延の増加はリピータを挿入することである程度抑制可能であるが、余計なチップ面積と電力消費が発生することが問題となる。このた

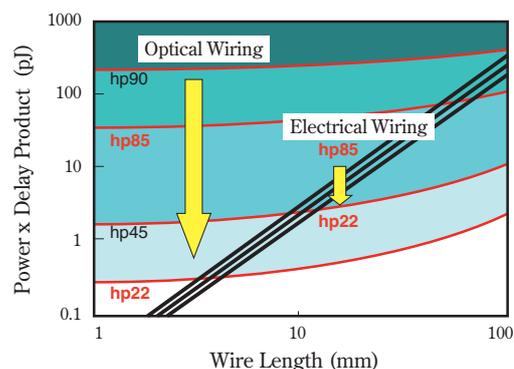


Fig. 17 Comparison of power/delay of electrical wiring vs. optical wiring²⁷⁾

め、光配線の導入が近年検討され始めている。Fig. 17に光配線と電気配線の電力遅延積と配線長の関係と比較した結果を示す²⁷⁾。この図が示すように、テクノロジーノードの進展に伴い、数mmより長い配線長において、光配線の性能が既存のCu配線の性能を上回ると期待されている。このように、光配線を導入することで、配線抵抗や容量の影響を受けることなく信号遅延の減少が可能となる。また光の周波数が200 THz程度であることから、波長多重技術などを利用することで、配線当たりの信号帯域を大幅に向上させることが出来る。さらに、電磁誘導によるクロストークが存在しないことから、配線密度の増加、柔軟な設計レイアウトなども可能で、配線長によらない超高速なグローバル配線網が実現できるものと期待されている。このような状況に加えて、近年Siをベースにした光デバイス、いわゆるSiフォトリソの研究が急速に進展しており、欧米各国の大学、企業からSi細線を利用した光導波路、レーザー、光変調器、光検出器などの研究成果が報告され、Si CMOSと光デバイスをモノリシックに集積化した光配線Si LSI実現の機運が急速に高まりつつある。

一方Siに対して透明であり光ファイバー通信で使用されている1.3–1.55 μm波長帯域での半導体レーザーや光検出器を実現するために、同波長帯に適合するバンドギャップを有するGeやⅢ-V族化合物半導体をSiプラットフォームに融合する研究も積極的に進められている。CVD技術の進展に伴い、同じIV族半導体であるGeをSiプラットフォームに形成する技術が進んでおり、格子不整合による結晶欠陥を抑制した高品質Ge層を用いたGe光検出器などが多数報告されており、LUXTERAなどの米国ベンチャー企業による実用化が始まっている。Geは電子移動度でSiの2倍、正孔移動度でSiの4倍の値をもつ高移動度材料であることから、高性能MOSトランジスタのチャネル材料としても期待されており、高性能Ge CMOSとGe光検出器をモノリシック集積した高性能光電子LSIの実現も期待されている。

我々は、SOI基板上に成長したSiGeを酸化することで、GOI (Germanium On Insulator) 構造が実現可能な酸化濃縮プロセスを用いて、Ge MOSFETとGe光検出器をSiプラットフォーム上にモノリシック集積したデバイスなどの試作に成功している (Fig. 18)。

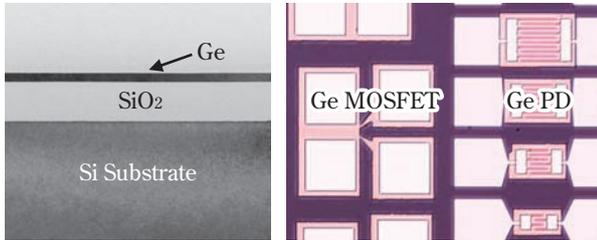


Fig. 18 Ge/electro-optic integrated circuit

一方、半導体レーザーなどの発光素子やより高性能な光変調器・光検出器を実現するために発光機能など光特性に優れたInP/InGaAs系半導体をSiプラットフォーム上に集積化する研究も進められている。Si基板上に直接III-V族化合物半導体を結晶成長する試みも長く研究されているが格子不整合が大きいなど実用化にはさらなる結晶品質の改善が求められる。一方、UCSB (The University of California, Santa Barbara) とIntel社の研究グループは、InP/InGaAs系半導体をSOI基板上にボンディングして、III-V族化合物半導体の発光層とSi細線光導波路を組み合わせたハイブリッドレーザーを2005年に世界で初めて報告した (Fig. 19)²⁸⁾。また熱酸化Si基板とInGaAsP/InP基板をウェハーボンディングすることで、III-V族化合物半導体フォトニクスに適用可能なIII-VOI (III-V On Insulator) 基板が報告されており、超小型InP系光素子も実現されている (Fig. 20)²⁹⁾。現在、ウェハーボンディングによるSiプラットフォーム上へのIII-V族化合物半導体の集積技術の研究は飛躍的に進展し、半導体レーザーだけでなく光変調器や光検出器などの種々のIII-V/Siハイブリッド光デバイスが報告されている。III-V族化合物半導体は極めて高い電子移動度を有することから、本稿で紹介してきたように、Geと並び次世代MOSトランジスタチャネル材料としても期待されており、III-V族化合物半導体を用いたロジックMOSトランジスタや、さらに超低電圧動作が可能な量子トンネルトランジスタ等の研究が世界的に加速している。Si基板上に形成したIII-V on Insulator基板上に超小型III-V族化合物半導体光素子と高性能III-V CMOSFETをモノリシック集積するIII-V CMOSフォトニクスプラットフォーム (Fig. 21) は、将来の超高速ULSIの究極の姿のひとつと考えられる。

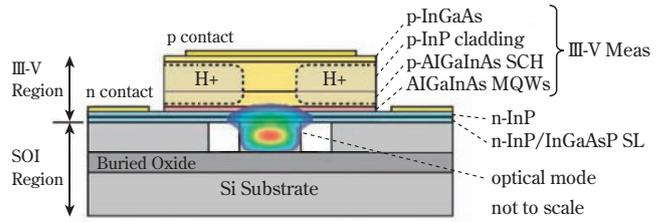


Fig. 19 III-V/Si hybrid device integrated on SOI²⁸⁾

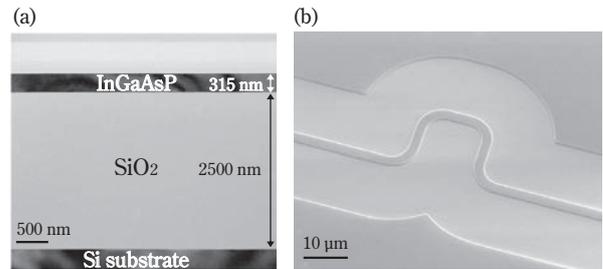


Fig. 20 (a) Cross-sectional TEM images of the III-V-OI substrate²⁹⁾
(b) SEM image of the bend waveguide with 5 μm bend radius²⁹⁾

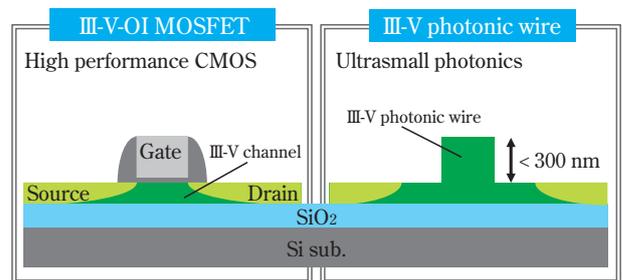


Fig. 21 III-V CMOS photonics platform integrated on SOI

本稿冒頭で述べたように、集積回路は、スケールング則に沿った半導体デバイスの微細化を大きな駆動力として高速化と高集積化を同時に実現してきた。「集積回路は、およそ24ヶ月で集積度が2倍になる」～高速化・高集積化の象徴であるULSI；マイクロプロセッサをリードするIntel社の創業者の一人であるGordon Moore氏により提唱された、いわゆる“Mooreの法則”はこれまでの経験則でもあり、同時に集積回路開発の強力な指導指針でもある。同“法則”が維持されるとすれば、最先端ULSIの集積度は今後10年以内に150億個 (≒人間の脳のニューロン数) を超え、さらなる応用の拡大が期待されるわけであるが、一方でその開発方向性には幾つかの分岐が現れ始めた。ひとつは“More Moore”、すなわち、本稿で述べてきたような幾

つかのテクノロジー・ブースターの力を借りながら微細化技術の粋を尽くし、さらに従来のような2次元平面内から3次元方向まで立体的に集積化・高速化を推し進め、“Mooreの法則”を維持する路線である。いまひとつは“More Than Moore”と呼ばれ、広義には、いずれ終焉を迎える“Mooreの法則”に替わり、従来のCMOS技術を中心とした論理回路の枠を超え、異なる動作原理あるいは設計思想に基づく新技術の追求であり、電子のスピンを利用したスピントロニクス、光コンピュータ、量子コンピュータ、さらには生体脳モデル、といった新たなブレイクスルーの萌芽を探る路線である。一方、比較的狭義な“More Than Moore”路線として既に製品レベルで開発が進められているのは、類似の半導体技術を利用しながら、これまでのデジタル論理回路とは異なる機能を有する半導体技術を組み合わせる技術である。組み合わせられる技術対象としては、メモリー、光、高周波、電力（パワー）、MEMS（Micro Electro Mechanical Systems）、及びバイオ機能、等が挙げられている。既にメモリー機能についてはデジタル論理回路と組み合わせたシステムLSIは早くから実用化されている。また光機能も本稿の最終節で解説したように、通信機能を中心に配線遅延の克服が進められ、その適用領域は当初の長距離通信から次第にシステム間、ボード間、チップ間の通信へと拡張され、現在はチップ内の配線が現実味を持って取り組まれている段階である。この路線はさらに光信号の直接処理を有する機能の取り込みまで視野に入れられており、最終的には広義の“More Than Moore”のひとつ、光コンピュータまで展開しうる技術と考えられる。また最終的なユーザー端末との接続手段である高周波無線通信機能との融合は、同じく異なった機能分野で異なった進化を遂げてきた電力半導体技術あるいはMEMS技術と共に集積回路への異機能集積を進める上で今後の重要な技術開発領域と考えられている。さらに半導体・コンピュータ技術と並び前世紀以来飛躍的な発展を遂げたバイオテクノロジーとの融合は、半導体の最終的な“接続”相手である生体とのインターフェースを形成する上でも今後必須になってくるものと予想される。Siという非常に優れたプラットフォーム材料および技術と、それ以外の各種化合物半導体材料やバイオ材料など異種材料との融合による、より高い次元での集積回路の実現のためには、これら多様な異種材料の一層の理解と制御が必要である。

引用文献

- 1) G. G. Shahidi, *IEDM 2009 short course*.
- 2) R. Waltjer, *IEDM 2008 Short Course*.
- 3) S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Naka-

- harai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka and N. Sugiyama, *IEEE Trans. Electron Devices*, **55**, 21 (2008).
- 4) International Technology Roadmap for Semiconductor: 国際半導体ロードマップ2010年版 (<http://www.itrs.net/Links/2010ITRS/Home2010.htm>)
- 5) K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams and K. Zawadzki, *IEDM Tech. Dig.*, p.247 (2007).
- 6) T. Hiramoto, *Ext. Abs. the 9th International Workshop on Junction Technology*, 3 (2009).
- 7) 高木 信一, 応用物理, **74** (9), 1158 (2005).
- 8) T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson and M. Bohr, *IEDM Tech. Dig.*, p.978 (2003).
- 9) “Physics and Chemistry of III-V Compound Semiconductor Interfaces”, C.W. Wilmsen編, Plenum Press, New York (1985).
- 10) T. Mimura, K. Joshin, S. Hiyamizu, K. Hikosaka and M. Abe, *Jap. J. Appl. Phys.*, **20** (8), L598-L600 (1981).
- 11) M. Hong, M. Passlack, J. P. Mannaerts, J.J. Kwo, S. N. G. Chu, N. Moriya, S. Hou and V. J. Fratello, *J. Vac. Sci. Technol.* **B 14**, 2297 (1996).
- 12) M. Hong, J. Kwo, A. R. Kortan, J. P. Mannaerts and A. M. Sergent, *Science* **283**, 1897 (1999).
- 13) 長谷川 英機, 表面科学, **29**, 76 (2008).
- 14) 長谷川 英機, 表面科学, **17**, 21 (1996).
- 15) R. T. Tung, *Mat. Sci. Eng.*, **R 35**, 1 (2001).
- 16) W. E. Spicer, I. Lindau, P. Skeath and C. Y. Su, *J. Vac. Sci. Technol.*, **17**, 1019 (1980).
- 17) H. Hasegawa and H. Ohno, *J. Vac. Sci. Technol.*, **B 4**, 1130 (1986).
- 18) N. Suzuki, T. Tariu and Y. Shibata, *Appl. Phys. Lett.*, **33**, 761 (1978).

- 19) L. Hinkle, A. M. Sonnet, E. M. Vogel, S. McDonnell, G. J. Hughes, M. Milojevic, B. Lee, F. S. Aguirre-Tostado, K. J. Choi, H. C. Kim, J. Kim and R. M. Wallace, *Appl. Phys. Lett.*, **92**, 071901 (2008).
- 20) Y. L. Huang, P. Chang, Z. K. Yang, Y. J. Lee, H. Y. Lee, H. J. Liu, J. Kwo, J. P. Mannaerts and M. Hong, *Appl. Phys. Lett.*, **86**, 191905 (2005).
- 21) H.-P. Komsa and A. P. Pasquarello, *Microelectron. Eng.*, **88**, 1436 (2011).
- 22) J. Robertson and L. Lin, *Microelectron. Eng.*, **88**, 1440 (2011).
- 23) M. Yokoyama, R. Iida, S. H. Kim, N. Taoka, Y. Urabe, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, "Extremely-thin-body In-GaAs-On-Insulator MOSFETs on Si fabricated by direct wafer bonding", *IEDM Tech. Dig.*, p.46-49 (2010).
- 24) Y. Urabe, N. Miyata, H. Ishii, T. Itatani, T. Maeda, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Yokoyama, N. Taoka, M. Takenaka and S. Takagi, *IEDM Tech. Digest*, 6.5.1 (2010).
- 25) T. Yasuda, N. Miyata, T. Maeda, Y. Urabe, W. Jevan-suwan, H. Ishii, T. Itatani, H. Takagi, A. Ohtake, O. Ichikawa, N. Fukuhara, M. Hata, M. Yokoyama, N. Taoka, M. Takenaka and S. Takagi, *INFOS '2011, 17Th Conference on "Insulating Films on Semiconductors"*, (2011).
- 26) S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi, *IEDM Tech. Digest*, 26.2.1 (2010).
- 27) "LSIチップ光配線技術", 2007年 半導体MIRAIプロジェクト成果報告会, <http://www.miraijp.jp/ja/result/071218/008mirai071218.pdf>, K. Ohashi, K. Nishi, T. Shimizu, M. Nakada, J. Fujikata, J. Ushida, S. Torii, K. Nose, M. Mizuno, H. Yukawa, M. Kinoshita, N. Suzuki, A. Gomyo, T. Ishi, D. Okamoto, K. Furue, T. Ueno, T. Tsuchizawa, T. Watanabe, K. Yamada, S.-i. Itabashi and J. Akedo, *Proceedings of the IEEE*, **97** (7), 1186 (2009).
- 28) H. Park, A. W. Fang, S. Kodama and J. E. Bowers, *OPTICS EXPRESS*, **13** (23), 9460 (2005).
- 29) M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano and S. Takagi, *Appl. Phys. Express.*, **2**, 122201 (2009).

PROFILE



秦 雅彦
Masahiko HATA

住友化学株式会社
先端材料探索研究所
上席研究員



竹中 充
Mitsuru TAKENAKA

東京大学 大学院 工学系研究科
電気系工学専攻 准教授
工学博士



高木 信一
Shinichi TAKAGI

東京大学 大学院 工学系研究科
電気系工学専攻 教授
工学博士



安田 哲二
Tetsuji YASUDA

独立行政法人 産業技術総合研究所
ナノエレクトロニクス研究部門副研究部門長
(兼務) 新材料・機能インテグレーショングループ長
工学博士