

# 極低消費電力集積回路のための 次世代デバイス向け エピタキシャル基板の研究開発

住友化学株式会社

情報電子化学品研究所

横山 正史

山本 武継

## Trends in Development of Epitaxial Wafers for Emerging Devices Applied to Ultra-low Power-Consumption Integrated Circuits

Sumitomo Chemical Co., Ltd.

IT-related Chemicals Research Laboratory

Masafumi YOKOYAMA

Taketsugu YAMAMOTO

With recent dramatic increases in information, power consumption is an important issue for data processes, and ultra-low power switching devices are required. The emerging transistors with lower power consumption operation are required instead of the conventional ones. Tunnel field-effect transistors have attracted much attention as ultra-low power operating devices. We report the recent progress in tunnel field-effect transistors based on the III-V compound semiconductors and in the III-V epitaxial wafers for next generation devices.

### 極低消費電力デバイスとしての トンネルトランジスタ

データストレージセンターに象徴されるように、近年の情報システムは高速化・大容量化しており、それに伴い情報処理にかかる消費電力も増加傾向にある。また、モバイル機器の爆発的な普及に加え、全てのモノがインターネットにつながるInternet of Things (IoT) 時代を迎え、情報処理における低消費電力化の重要性がますます高まっている。このような背景から、低消費電力で動作可能なプロセッサが世の中から求められている。

従来、プロセッサには、シリコン (Si) をチャンネル材料とする金属酸化膜半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET) が用いられてきた。トランジスタの消費電力は、駆動電圧 ( $V_{DD}$ ) の2乗に比例するため、駆動電圧の低減は低消費電力化に有効である。Si MOSFETにおける駆動電圧の低減には、デバイスの微細化が進められている<sup>1)</sup>。また、Siに代わる高い電子（あるいは正孔）移動度のチャンネル材料を利用することも検討されている<sup>2)-4)</sup>。

これまで、デバイスの微細化により、デバイスの処理速度の高速化と低消費電力化が実現されてきた。現在、10 nm程度まで微細化が進んできており、微細化の限界に近づきつつあり、2024年までに2次元構造での微細化は終焉を迎えることが予想されている<sup>1)</sup>。

一方、Siに代わるチャンネル材料として、III-V族化合物半導体やゲルマニウム (Ge) といった高移動度材料を利用することが検討されている<sup>2)-4)</sup>。しかし、MOSFETの場合、電流電圧特性の立ち上がりの急峻さの逆数であるS値 (S factor) は、動作原理上、室温において60 mV/decadeが限界となるため、高移動度材料をチャンネルに利用しても、駆動電圧は0.5 V程度が限界となる。更なる低消費電力化には、従来のMOSFETとは異なる動作原理により、60 mV/decadeよりも小さなS値を実現でき、より小さな駆動電圧で動作可能となるトランジスタが望まれている。

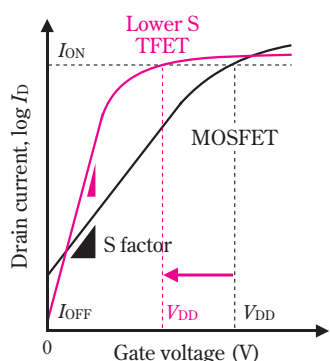
そこで、新しい極低消費電力デバイスとして、トンネルトランジスタ (Tunnel Field-Effect Transistor: TFET) に注目が集まっている<sup>5)-9)</sup>。住友化学株式会社でも、平成25年度から、独立行政法人科学技術振興機構（現在は、国立研究開発法人）の戦略的創造研究推進事業「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成 極低消費電力集積回路のためのトンネルMOSFETテクノロジーの構築」(以下、TFET-PJと記載する) に参画し、TFETを開発している。本稿では、当該PJの成果とともに、関連技術動向について紹介する。

#### 1. TFETによる低消費電力化

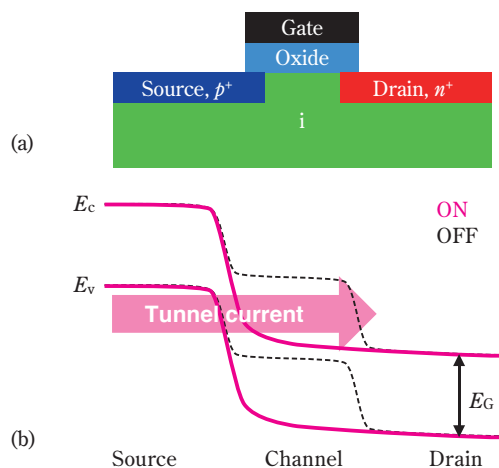
TFETは、ソースとチャンネルの間において、トンネル電流を電界効果により制御することで、60 mV/decade以下のS値が実現可能なため、0.5 V以下の駆動

電圧が達成可能である。これにより、従来のMOSFETよりも急峻な立ち上がり特性を有する電流電圧特性が実現可能な画期的な新規デバイスとして、その開発が期待されている<sup>1),5)-9)</sup>。Fig. 1は、TFETとMOSFETの電流電圧特性 ( $I$ - $V$  特性) の概念図を示す。S値が小さくなる、すなわち傾きが急峻になると、同じオン電流 ( $I_{ON}$ ) を得るための駆動電圧が低くなるため、低消費電力化が可能になる。さらに、傾きが急峻になると、オフ電流 ( $I_{OFF}$ ) も低下傾向にあり、待機時の消費電力を抑制することも期待できる。

Fig. 2は、n型TFETの構造と動作原理の概念図を示す。ここで、 $E_G$ はバンドギャップ、 $E_c$ は伝導帯の底のエネルギー、 $E_v$ は価電子帯の頂上のエネルギーである。TFETは、電子のバンド間トンネル (Band-To-Band Tunneling: BTBT) を利用する。ソース領域には、 $p^+$ 領域を、ドレイン領域には、 $n^+$ 領域をそれぞれ形成する。ゲート電界効果により、ソースからチャネルにBTBTによりトンネルした電子によるトンネル電流を制御する。



**Fig. 1** Schematic illustration of  $I$ - $V$  characteristics of a TFET and a MOSFET. A TFET can achieve lower S factor than a MOSFET.

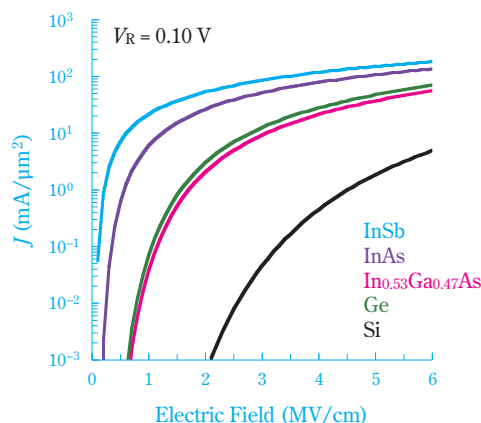


**Fig. 2** Schematic illustration of (a) structure and (b) principle of operation of an n-type TFET

OFF状態では、エネルギー障壁が高く、トンネル電流が抑制されている。ON状態では、ゲート電界効果によって、エネルギー障壁を低くすることにより、トンネル電流が流れる。これにより、従来のMOSFETよりも急峻な電流の立ち上がり特性を有する電流電圧特性を実現することができる。

一方で、トンネル抵抗の影響により、TFETの駆動電流が制限されるという課題がある。高い駆動電流を実現するため、トンネル抵抗がSiより小さい狭バンドギャップの材料をTFETのチャネル材料に利用することが検討されている<sup>5)-13)</sup>。Fig. 3は、代表的な半導体材料におけるトンネル電流密度 ( $J$ ) を、式(1)を用いて計算した結果を示している。最大電界強度は十分高いとし、計算に用いた各半導体におけるバンドギャップと有効質量 ( $m_r^*$ ) をTable 1に示す<sup>14)</sup>。ここで、 $m_r^*$ は、電子の有効質量 ( $m_e^*$ ) と正孔の有効質量 ( $m_h^*$ ) を用いて、 $m_r^* = m_e^* m_h^* / (m_e^* + m_h^*)$  として求めた。 $V_R$ は逆方向電圧、 $\xi$ は電界強度、 $q$ は電気素量、 $m_0$ は電子の質量、 $\hbar = h/2\pi$ 、 $h$ はプランク定数である。Fig. 3で示される通り、InSb、InAs、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ など、狭バンドギャップのIII-V族化合物

$$J = \frac{\sqrt{2m_r^*} q^3 \xi V_R}{8\pi^2 \hbar^2 E_G^{1/2}} \exp\left(-\frac{4\sqrt{2m_r^*} E_G^{3/2}}{3q\xi\hbar}\right) \quad (1)$$



**Fig. 3** Calculated tunneling current density versus electric field properties of semiconductors at a  $V_R$  of 0.10 V at 300 K

**Table 1** Material physical parameters of energy band gap and tunneling effective mass of semiconductors

Semiconductors	$E_G$ (eV)	$m_r^*$
InSb	0.17	0.007 $m_0$
InAs	0.35	0.012 $m_0$
$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	0.74	0.023 $m_0$
Ge	0.66	0.028 $m_0$
Si	1.12	0.087 $m_0$

半導体をチャネル材料に利用することで、大きな駆動電流の実現が期待される。

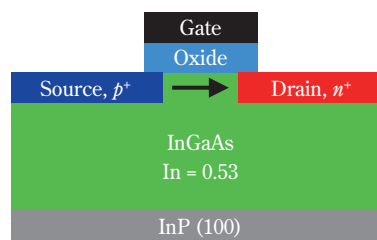
### III-V族化合物半導体をチャネル材料として利用したTFET

#### 1. InGaAs TFETの開発

良好なS値と高いオン電流を同時に実現する高性能なTFETの実現に向けて、狭バンドギャップを有するIII-V族化合物半導体がチャネル材料として検討されている<sup>8),9),11)-13)</sup>。III-V族化合物半導体の中でも、InGaAsは、In組成が0.53のとき室温において、0.74 eV程度のバンドギャップを有する狭バンドギャップの材料である。また、In組成が0.53のInGaAsは、InPと格子整合するため、InP (100) 基板上において良質な結晶品質でのエピタキシャル成長が可能である。Fig. 4は、InP (100) 基板上に作製したInGaAs TFETの構造の概念図である。TFETは、まず、有機金属化学気相堆積 (Metal-Organic Chemical Vapor Deposition: MOCVD) 法を用いてInP基板上にInGaAs層を成長してエピタキシャル基板を得て、続いて、ソース領域、ゲート酸化膜、ゲート電極、およびドレイン領域を形成して作製した。ここで、エピタキシャル基板の作製には、商用生産炉を用いている。

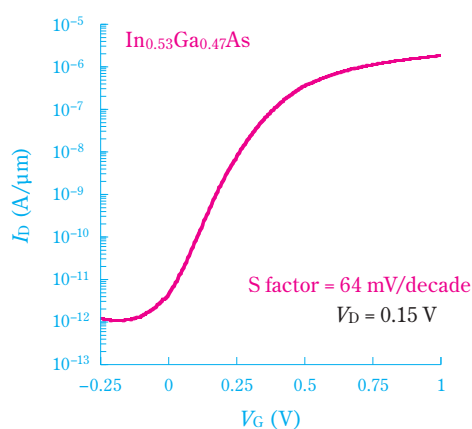
一般に、TFETのソース領域はドーピングにより形成され、ソース領域の高いドーピング濃度とソース端における急峻なドーピングプロファイルが、小さいS値を実現する上で重要となる。TFET-PJでは、チャネル層がInGaAsのTFETにおいて、p型のドーパントである亜鉛 (Zn) をスピノングラス (Spin-On-Glass: SOG) 法によりドーピングして、ソース領域を形成した<sup>11),12)</sup>。熱処理条件を最適化することで、 $2 \times 10^{19}$  原子/cm<sup>3</sup>の高いZnのドーピング濃度を達成した。また、Znの拡散は、ドーピング濃度の2乗に比例した急峻なドーピングプロファイルとなるため、3.5 nm/decadeの急峻なドーピングプロファイルも達成できた<sup>11),12)</sup>。ソース領域をZn拡散により形成した後、ゲート酸化膜、ゲート電極を形成し、Ni-InGaAs合金化プロセス<sup>15)</sup>によりドレイン領域のNi-InGaAsを形成し、TFETを作製した。

Fig. 5は、SOGによるZnの固相拡散を利用してソース領域を形成したInGaAs TFETのデバイス特性である。ドレイン電圧 ( $V_D$ ) が0.15 Vの時の、ゲート電圧 ( $V_G$ ) に対するドレイン電流 ( $I_D$ ) の変化である。ここで、InGaAsチャネルにおけるIn組成は0.53である。室温において、64 mV/decadeのS値と $10^6$ を超える高いオン電流/オフ電流比を達成した。良好なオフ電流特性は、SOGを用いたZnの固相拡散による接合形成プロセスが、結晶欠陥の発生を抑制できるプロセスであることを示唆している。ソースおよびドレイン



**Fig. 4** Schematic illustration of the InGaAs TFET with In<sub>0.53</sub>Ga<sub>0.47</sub>As channel grown on InP (100) substrate. A source region can be formed by Zn diffusion and a drain region can be formed by Ni-InGaAs alloy formation.

Figure created by using data provided by collaborators (Ref. 11)



**Fig. 5** Measured  $I_D$ - $V_G$  characteristic of an In<sub>0.53</sub>Ga<sub>0.47</sub>As TFET with the source region formed by Zn diffusion at 500 °C. Figure created by using data provided by collaborators (Ref. 11)

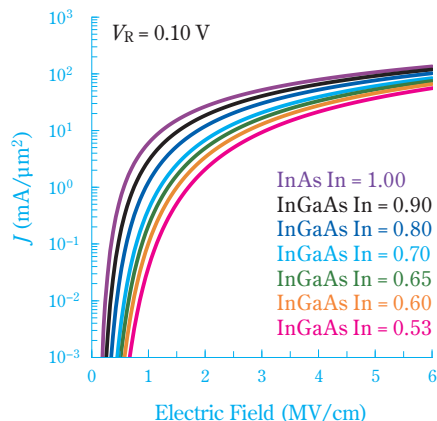
領域を狙い通りに形成できたことで、高品質にエピタキシャル成長されたInGaAsチャネル層の良質な結晶性を活かすことができている。

Znの固相拡散によるソース領域の形成技術は、その後、他機関によっても報告されており<sup>16)</sup>、また、気相拡散を利用したソース領域形成でも、深さ方向に対してZnのドーピング濃度 $2 \times 10^{19}$ 原子/cm<sup>3</sup>で、4.7 nm/decade程度の急峻性を持つドーピングプロファイルの実現が報告されている<sup>17)</sup>。

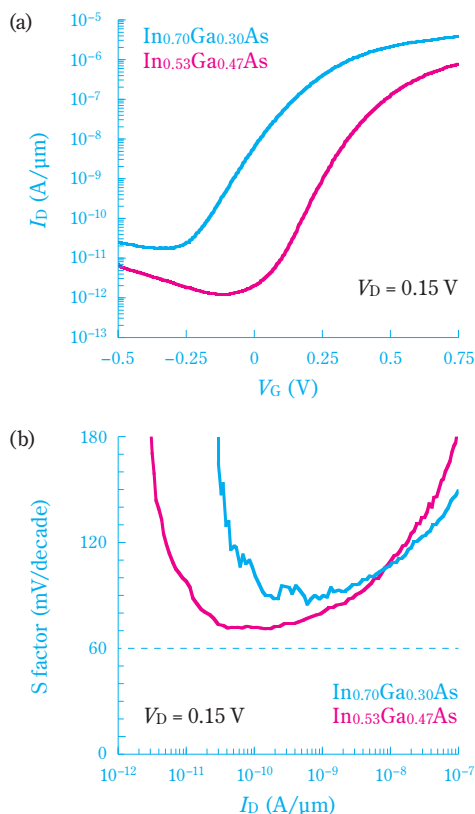
#### 2. 高In組成InGaAsチャネル層の検討

InGaAsのIn組成を高くすることにより、InGaAsのバンドギャップを狭くすることで、トンネル電流の増加が期待される。そのため、InGaAs TFETにおいて、InGaAsチャネル層のIn組成を0.53より高くすることで、高いオン電流を実現することが期待される。Fig. 6は、In組成が0.53のInGaAsから、In組成が1.00のInAsまでの電界に対するトンネル電流密度変化の計算値を示し

ている。In組成を高くすることにより、トンネル電流密度が増加している。しかし、In組成が高いInGaAsチャンネルを利用する場合、InP基板と成長層の格子不整合が問題となる。InPと格子整合するIn組成が0.53のInGaAs層をInP基板上にエピタキシャル成長する場合、



**Fig. 6** Calculated tunneling current density versus electric field properties of  $\text{In}_x\text{Ga}_{1-x}\text{As}$  with In content of 0.53–1.00 at a  $V_R$  of 0.10 V at 300 K

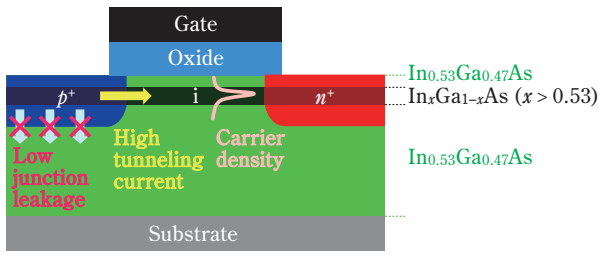


**Fig. 7** (a) Measured  $I_D$ - $V_G$  characteristics and (b) measured S factor as a function of  $I_D$  for InGaAs TFETs with In content of 0.53 and 0.70. Here, the thickness of InGaAs is 100 nm. Figure created by using data provided by collaborators (Ref. 12)

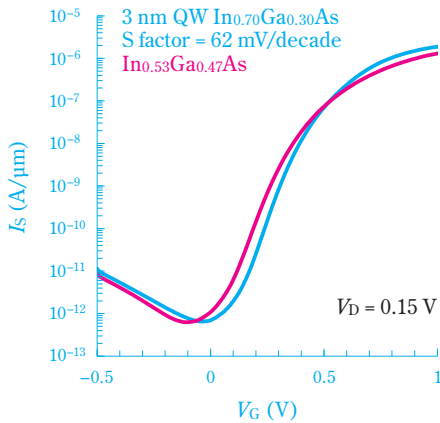
十分厚い膜厚でも高い結晶性を保持したまま成長することが可能である。一方、基板と成長層の間に格子定数差が存在する場合、成長層が格子緩和せずに成長可能な膜厚は制限される<sup>18)–21)</sup>。InP基板上のInGaAs層のエピタキシャル成長においては、In組成が高くなるにつれて、InP基板との格子不整合が大きくなるため、格子緩和せずに成長可能な膜厚の臨界膜厚が制限される。また、格子緩和により発生した結晶欠陥は、リーク電流の原因となり得る。Fig. 7は、InP (100) 基板上にIn組成が0.53と0.70のInGaAs層を成長した基板を利用して作製したInGaAs TFETのデバイス特性である<sup>12)</sup>。ここで、InGaAs層の膜厚は100 nmである。InGaAs層のIn組成を高くすることで、オン電流が増加していることが確認された。一方で、オフ電流の増加やS値の増加が確認された。高In組成のInGaAs層とInPとの格子不整合により生じた結晶欠陥によるデバイス特性への影響が示唆される。高In組成のInGaAs層を成長する場合、結晶欠陥の抑制が重要である。

### 3. 高In組成InGaAs量子井戸構造チャンネルの検討

TFETにおいて、高いオン電流と同時に、低いオフ電流を実現することが重要である。なぜならば、オフ電流を抑制することで待機時の消費電力を抑制できるため、デバイスの低消費電力に重要となるためである。そして、そのためには欠陥を介したリーク電流を抑制する必要があり、高In組成のInGaAs層を利用したTFETにおいては、チャンネル層の結晶性の改善が必要である。そこで、TFET-PJでは、格子緩和による結晶欠陥を抑制するために、高In組成のInGaAs層の膜厚が10 nm以下の量子井戸 (Quantum Well: QW) をチャンネルとするTFETを開発した<sup>8),13)</sup>。QWチャンネル層にキャリアを閉じ込めることで、電氣的制御性を高めることができる。Fig. 8は、高In組成のInGaAs QWチャンネルを有するInGaAs QW TFETの概念図である。高In組成のInGaAs層をIn組成が0.53のInGaAs層で挟み込んだ構造としている。これにより、良好な結晶性を有する高In組成のInGaAsチャンネル層の形成が期待される。また、ソース領域において基板側との接合は、In組成が0.53のInGaAsとの接合となるため、接合リーク電流の抑制が期待される。Fig. 9は、QW層の厚さが3 nmでIn組成が0.70のInGaAs QWチャンネル層を有するTFETの電流電圧特性である。 $V_D$ が0.15 Vの時の、 $V_G$ に対するソース電流 ( $I_S$ ) の変化である。比較として、In組成が0.53のInGaAs単層のTFETの電流電圧特性も示している。高In組成のInGaAs QWチャンネル構造を利用することにより、In組成が0.53のInGaAs TFETと比べてオン電流を増加させることと同時に、Fig. 7 (a)に示した膜厚が100 nmでIn組成が0.70のInGaAs TFETに比べてオフ電流の最小値を1桁以上低減させることに成功した。S値は、62 mV/decade



**Fig. 8** Schematic illustration of the  $\text{In}_x\text{Ga}_{1-x}\text{As}$  QW TFET with high In content  $\text{In}_x\text{Ga}_{1-x}\text{As}$  QW structure  
Figure created by using data provided by collaborators (Ref. 13)



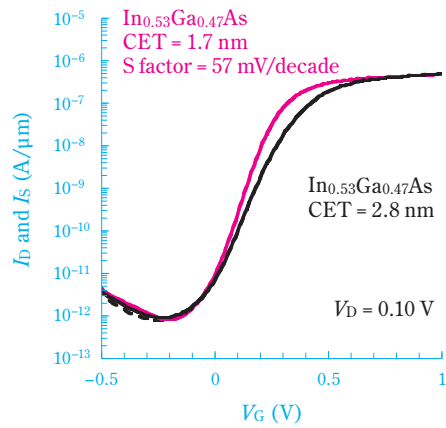
**Fig. 9**  $I_S$ - $V_G$  characteristics of a 3-nm-thick  $\text{In}_{0.70}\text{Ga}_{0.30}\text{As}$  QW TFET and a control bulk  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  TFET  
Figure created by using data provided by collaborators (Ref. 13)

を達成した。このように、高度なエピタキシャル成長技術を利用してチャネル層を形成することにより、TFETのデバイス特性を改善することが可能となる。

#### 4. ゲート酸化膜のスケーリングによるTFETのデバイス特性改善

TFETにおけるオフ特性やS値の改善には、ゲート酸化膜のスケーリング（薄膜化）も有効である<sup>8),9),11)-13),17)</sup>。Fig. 10は、In組成が0.53のInGaAs TFETにおいて、ゲート酸化膜のスケーリングを行った結果を示している。ここで、ゲート酸化膜の膜厚は、容量換算膜厚（Capacitance Equivalent Thickness: CET）で示している。TFET-PJにおいて、CETのスケーリングにより、S値の改善を確認した。In組成が0.53のInGaAs TFETにおいて、CETを1.7 nmにスケーリングすることにより、室温において、57 mV/decadeのS値を実現した<sup>13)</sup>。さらに、高In組成のInGaAs QW TFETにおいて、ゲート酸化膜の薄膜化を適用することにより、室温において、55 mV/decadeのS値を達成した<sup>8)</sup>。

以上TFET-PJにおいて、商用生産炉を用いて世界最

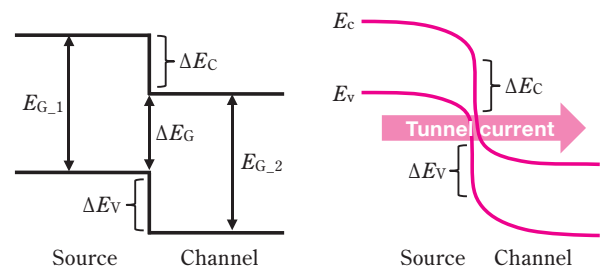


**Fig. 10**  $I_D$ - $V_G$  (solid) and  $I_S$ - $V_G$  (broken) curves of bulk  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  TFETs with CET of 1.7 and 2.8 nm  
Figure created by using data provided by collaborators (Ref. 13)

高水準のTFETを実現できたことの意義は大きい。今後、結晶成長の応用とデバイスプロセスの開発が必要である。

#### 5. ヘテロ接合を利用したTFET

異種材料の接合によるヘテロ接合を利用することにより、実効的なバンドギャップを狭くすることが可能であり、ヘテロ接合を利用したTFETにおいて、高いデバイス性能の実現が期待されている<sup>5)-9),22)-32)</sup>。Fig. 11は、ヘテロ接合系TFETの概念図である。異なる材料の組み合わせにより、実効的なバンドギャップ ( $\Delta E_G$ ) を制御することができる。ここで、 $E_{G,1}$ は材料1のバンドギャップ、 $E_{G,2}$ は材料2のバンドギャップ、 $\Delta E_C$ は伝導帯のバンド不連続量、 $\Delta E_V$ は価電子帯のバンド不連続量である。ヘテロ接合系のTFETにおいても、材料や組成を変えることによって多様なバンドギャップが設計可能なIII-V族化合物半導体の利用が期待されている。その中でも、InAs/SiやInAs/GaSbといったヘテロ接合が注目されている。Si (111) 基板上に成長したInAs/Siのヘテロ構造を利用したTFETで、21 mV/decadeのS値が報告されている<sup>22)</sup>。一方、Si (111)



**Fig. 11** Schematic illustration of the heterostructure for TFET with the effective narrow band gap

基板上に成長したInAs/GaAsSb/GaSbのヘテロ構造を利用したTFETにおいて、48 mV/decadeのS値と10  $\mu\text{A}/\mu\text{m}$ のオン電流が報告されており、さらに、0.2 V付近の低いゲート電圧において、Si MOSFETよりも高いオン電流が報告されている<sup>27)</sup>。今後、III-V族化合物半導体を利用したヘテロ接合系TFETの開発に期待がもたれる。また、ヘテロ接合を利用することにより、p型TFETの開発も期待されている<sup>22),25),30)-32)</sup>。

### III-V族化合物半導体のSiテクノロジーとの融合

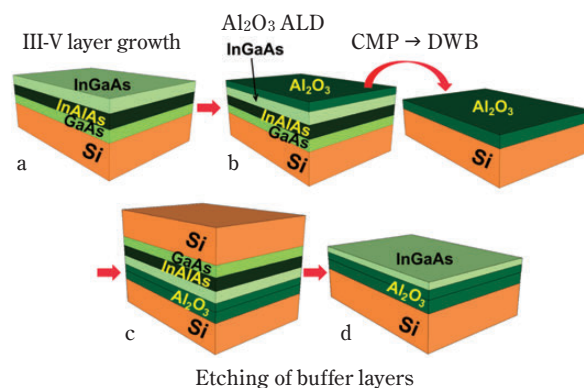
#### 1. III-V族化合物半導体の300 mm Si基板上への集積化に向けた検討

ここまで、InP基板上のInGaAs TFETの特性について解説してきた。実用化に向けては、大口径化の必要や従来のSi MOSFETのプロセスに対応する必要がある、III-V族化合物半導体のSi基板上への集積化が望まれる。しかし、III-V族化合物半導体とSiでは、材料特性の違いが集積化の課題となる。Siテクノロジーに適應させるためには、III-V族化合物半導体デバイスが性能を發揮できる状態で、Si基板上へIII-V族化合物半導体チャネルを集積化させる手法が重要となる。Si基板上へのIII-V族化合物半導体チャネルの集積手法として、直接エピタキシャル成長する手法<sup>33)-40)</sup>、選択成長を利用する手法<sup>22),25),27),32),41)-46)</sup>、基板貼り合わせ手法<sup>47)-58)</sup>などが報告されている。

直接成長を利用する手法においては、300 mm Si基板上に成長したInGaAsチャネル層を利用して、InP基板上と同等のトランジスタ特性が報告されている<sup>37),38)</sup>。300 mm Si基板全面へのIII-V族化合物半導体チャネルの集積化が可能となりつつあり、今後の商用製品への搭載が期待される。

選択成長においては、Si基板上への加工プロセスが必要ではあるものの、任意の場所にIII-V族化合物半導体チャネルを形成することが可能である<sup>22),25),27),32),41)-46)</sup>。異なるチャネル材料の集積化が可能であり、プロセス条件によりチャネル形状を制御できるため、今後の進展が期待される。

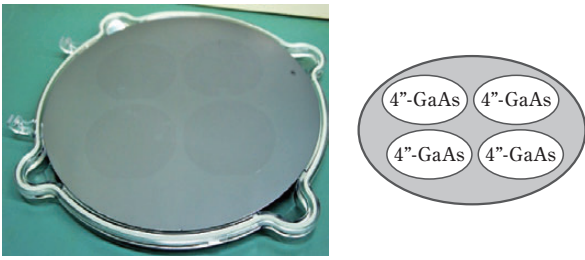
基板貼り合わせは、III-V族化合物半導体基板上に成長した良好な結晶性のエピタキシャル層をSi基板上に転写する手法である。直接基板貼り合わせ (Direct Wafer Bonding: DWB) 法を用いて、良好な結晶性を有するInGaAs-On-Insulator (InGaAs-OI) 基板の作製が可能である<sup>47)-51)</sup>。ここで、InGaAs-OI基板は、Si基板上に埋め込み酸化膜を介してInGaAsチャネルを集積した構造である。一方で、転写用基板となる化合物半導体基板の口径が小さいことが、InGaAs-OI基板の大口径化への課題であった。一つの解決法は、大口径のSi基板上に直接成長したIII-V族化合物半導体層を、



**Fig. 12** Schematic illustration of fabrication of InGaAs-OI wafer by developed DWB techniques using Si donor wafer with 300 mm scalability  
Figure created by using data provided by collaborators (Ref. 9, 55, 56)

DWB法を用いて大口径のSi基板に転写する方法であり、Fig. 12を用いて説明する<sup>55),56)</sup>。まず、InGaAsチャネル層の転写に用いるInGaAsエピタキシャル基板を製作する。Si基板上に、結晶性を改善するためのGaAs層とInAlAs層からなるバッファ層を成長し、その上にInGaAs層を成長する (Fig. 12-a)。次に、その転写用基板となるInGaAsエピタキシャル基板と転写先のSi基板のそれぞれの表面に、原子層堆積法 (Atomic Layer Deposition: ALD) によりAl<sub>2</sub>O<sub>3</sub>を成膜する。転写用基板においては、バッファ層を介していてもAl<sub>2</sub>O<sub>3</sub>層上の表面粗さが大きくなる場合があり、次工程の基板貼り合わせに影響が生じる。そのような場合は、化学機械研磨 (Chemical Mechanical Polishing: CMP) による表面の平坦化が必要となる (Fig. 12-b)。その後、基板貼り合わせを行う (Fig. 12-c)。最後に、転写用基板からバッファ層までを除去し、転写先基板となるSi基板上にAl<sub>2</sub>O<sub>3</sub>層を介してInGaAsチャネル層を形成することで、InGaAs-OI基板とする (Fig. 12-d)。この手法において、300 mm Si基板を利用することにより、InGaAs-OI基板の大口径化が可能となる。

大口径化およびプロセスの高速化のための別の手法として、転写用基板にチャネル層をエピタキシャル成長し、転写先基板となる300 mm Si基板への基板貼り合わせ後に、エピタキシャルリフトオフ (Epitaxial Lift-Off: ELO) を利用して、チャネル層を転写用基板から剝離する手法を開発した<sup>57),58)</sup>。転写用基板には、GaAs基板を用い、ELOで選択エッチングするAlAs層を成長した後、チャネル層となるGaAs層を成長する。成長したGaAs/AlAs層に周期的な溝を形成し、AlAs層をHClを用いて選択エッチングすることにより、GaAs層のELOを行う。Si基板上に転写したチャネル層の表面粗さは、0.4 nmと、平坦であることが確認されている。Fig. 13は、



**Fig. 13** Photograph of GaAs on 300 mm Si wafer <sup>57)</sup>

ELO法を利用して300 mm Si基板上に転写したGaAs層の写真である。転写したGaAs層の直径は100 mmである。Si基板上への転写後においても、X線回折測定やフォトルミネッセンス測定などの評価により、GaAs層が高い結晶品質を保っていることが確認されている。基板貼り合わせは、各種の材料の選択が可能であり、必要な領域にチャンネルを形成することが可能なため、異種材料の集積化において今後の進展が期待される。

## 2. 極低消費電力化に向けた技術展開

更なる低消費電力デバイスの開発に向け、上述したIII-V/Siのハイブリッド構造において、光デバイスの集積化も期待されている<sup>59)–61)</sup>。基板貼り合わせ等により集積されたIII-V族化合物半導体層を利用することで、Siだけでは実現の困難な優れた光学特性を実現することが可能となるため、それらのデバイスを組み合わせることにより、従来よりも極低消費電力のシステムの実現が期待されている。

III-V族化合物半導体の特性を活かしたデバイスとしては、面発光レーザー (Vertical Cavity Surface Emitting Laser: VCSEL)、テラヘルツデバイスなども研究開発が盛んである。VCSELは、光通信やセンシングで利用されており、車載用途への応用も期待されている。テラヘルツデバイスは、InGaAsやInAsをチャンネルとするInP系高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) や、MOS-HEMT、量子カスケードレーザー、共鳴トンネルダイオードなどが注目されており、通信やセンシング、セキュリティ、医療などへの応用が期待されている。上述のように、機能の異なるデバイスと極低消費電力回路を集積化することにより、移動端末における多機能化を飛躍的に向上できるものと期待される。

本稿で述べてきたように、化合物半導体を利用した新構造の低消費電力デバイスや、大口径基板上における異種材料やデバイスの集積化技術を用いることで、極低消費電力で動作可能な回路を実現できることが実証されてきている。

デバイスの低消費電力技術開発を通じて、さまざまな端末における通信やセンシング技術を基盤とし

た各種のアプリケーションやサービスが可能となり、社会の発展に貢献できることを願っている。

## 謝辞

本稿をまとめるに当たり、データを提供して戴くとともに有益なご助言を戴いた、東京大学 大学院工学系研究科 電気系工学専攻 教授 高木 信一 先生、准教授 竹中 充 先生に深謝いたします。

## 引用文献

- 1) International Roadmap for Devices and Systems, “INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS 2016 EDITION MORE MOORE WHITE PAPER”, [http://irds.ieee.org/images/files/pdf/2016\\_MM.pdf](http://irds.ieee.org/images/files/pdf/2016_MM.pdf) (参照 2017/5/19).
- 2) S. Takagi, R. Zhang, J. Suh, S.-H. Kim, M. Yokoyama, K. Nishi and M. Takenaka, *Jpn. J. Appl. Phys.*, **54**, 06FA01 (2015).
- 3) J. A. del Alamo, *Nature*, **479**, 317 (2011).
- 4) R. Pillarisetty, *Nature*, **479**, 324 (2011).
- 5) A. C. Seabaugh and Q. Zhang, *Proc. IEEE*, **98**, 2095 (2010).
- 6) A. M. Ionescu and H. Riel, *Nature*, **479**, 329 (2011).
- 7) H. Lu and A. Seabaugh, *J. Electron Devices Soc.*, **2**, 44 (2014).
- 8) S. Takagi, D. H. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim and M. Takenaka, *IEDM Tech. Dig.*, **2016**, 516.
- 9) S. Takagi, M. Noguchi, M. Kim, S.-H. Kim, C.-Y. Chang, M. Yokoyama, K. Nishi, R. Zhang, M. Ke and M. Takenaka, *Solid-State Electronics*, **125**, 82 (2016).
- 10) G. Dewey, B. Chu-Kung, J. Boardman, J. M. Fastenau, J. Kavalieros, R. Kotlyar, W. K. Liu, D. Lubyshev, M. Metz, N. Mukherjee, P. Oakey, R. Pillarisetty, M. Radosavljevic, H. W. Then and R. Chau, *IEDM Tech. Dig.*, **2011**, 785.
- 11) M. Noguchi, S. H. Kim, M. Yokoyama, S. M. Ji, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, *IEDM Tech. Dig.*, **2013**, 683.
- 12) M. Noguchi, S. H. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, *J. Appl. Phys.*, **118**, 045712 (2015).
- 13) D. H. Ahn, S. M. Ji, M. Takenaka and S. Takagi, *Symp. VLSI Tech. Dig.*, **2016**, 224.
- 14) Ioffe Physico-Technical Institute, Electronic archive New Semiconductor Materials. Characteristics and

- Properties, <http://www.ioffe.rssi.ru/SVA/NSM/> (参照 2017/5/19).
- 15) S. H. Kim, M. Yokoyama, N. Taoka, R. Iida, S. Lee, R. Nakane, Y. Urabe, N. Miyata, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Takenaka and S. Takagi, *IEDM Tech. Dig.*, **2010**, 596.
  - 16) A. Alian, J. Franco, A. Vandooren, Y. Mols, A. Verhulst, S. El Kazzi, R. Rooyackers, D. Verreck, Q. Smets, A. Mocuta, N. Collaert, D. Lin and A. Thean, *IEDM Tech. Dig.*, **2015**, 823.
  - 17) A. Alian, Y. Mols, C. C. M. Bordallo, D. Verreck, A. Verhulst, A. Vandooren, R. Rooyackers, P. G. D. Agopian, J. A. Martino, A. Thean, D. Lin, D. Mocuta and N. Collaert, *Appl. Phys. Lett.*, **109**, 243502 (2016).
  - 18) T. Sato, M. Mitsuhashi and Y. Kondo, "NTT Technical Review, January 2009 Vol. 7 No. 1", <https://www.ntt-review.jp/archive/ntttechnical.php?contents=ntr200901sf2.html> (参照 2017/5/19).
  - 19) J. W. Matthews and A. E. Blakeslee, *J. Cryst. Growth*, **27**, 118 (1974).
  - 20) R. People and J. C. Bean, *Appl. Phys. Lett.*, **47**, 322 (1985).
  - 21) A. Fischer, H. Kühne and H. Richter, *Phys. Rev. Lett.*, **73**, 2712 (1994).
  - 22) K. Tomioka, M. Yoshimura and T. Fukui, *Symp. VLSI Tech. Dig.*, **2012**, 47.
  - 23) U. E. Avci and I. A. Young, *IEDM Tech. Dig.*, **2013**, 96.
  - 24) R. Pandey, N. Agrawal, V. Chobpattana, K. Henry, M. Kuhn, H. Liu, M. Labella, C. Eichfeld, K. Wang, J. Maier, S. Stemmer, S. Mahapatra and S. Datta, *IEDM Tech. Dig.*, **2015**, 354.
  - 25) D. Cutaia, K. E. Moselund, H. Schmid, M. Borg, A. Olziersky and H. Riel, *Symp. VLSI Tech. Dig.*, **2016**, 226.
  - 26) T. Gotow, M. Mitsuhashi, T. Hoshi, H. Sugiyama, M. Takenaka and S. Takagi, *Ext. Abstr. Solid State Devices and Materials*, **2016**, 21.
  - 27) E. Memisevic, J. Svensson, M. Hellenbrand, E. Lind and L.-E. Wernersson, *IEDM Tech. Dig.*, **2016**, 501.
  - 28) A. Afzal, M. Passlack and Y.-C. Yeo, *IEDM Tech. Dig.*, **2016**, 738.
  - 29) I. A. Young, U. E. Avci and D. H. Morris, *IEDM Tech. Dig.*, **2015**, 600.
  - 30) R. Pandey, H. Madan, H. Liu, V. Chobpattana, M. Barth, B. Rajamohanam, M. J. Hollander, T. Clark, K. Wang, J.-H. Kim, D. Gundlach, K. P. Cheung, J. Suehle, R. Engel-Herbert, S. Stemmer and S. Datta, *Symp. VLSI Tech. Dig.*, **2015**, T206.
  - 31) R. Pandey, C. Schulte-Braucks, R. N. Sajjad, M. Barth, R. K. Ghosh, B. Grisafe, P. Sharma, N. von den Driesch, A. Vohra, B. Rayner, R. Loo, S. Mantl, D. Buca, C.-C. Yeh, C.-H. Wu, W. Tsai, D. Antoniadis and S. Datta, *IEDM Tech. Dig.*, **2016**, 520.
  - 32) H. Schmid, D. Cutaia, J. Gooth, S. Wirths, N. Bologna, K. E. Moselund and H. Riel, *IEDM Tech. Dig.*, **2016**, 71.
  - 33) Y.-C. Lin, M.-L. Huang, C.-Y. Chen, M.-K. Chen, H.-T. Lin, P.-Y. Tsai, C.-H. Lin, H.-C. Chang, T.-L. Lee, C.-C. Lo, S.-M. Jang, C. H. Diaz, H.-Y. Hwang, Y.-C. Sun and E. Y. Chang, *Appl. Phys. Express*, **7**, 041202 (2014).
  - 34) T. Orzali, A. Vert, R. T. P. Lee, A. Norvilas, G. Huang, J. L. Herman, R. J. W. Hill and S. S. Papa Rao, *J. Cryst. Growth*, **426**, 243 (2015).
  - 35) T. Orzali, A. Vert, T.-W. Kim, P. Y. Hung, J. L. Herman, S. Vivekanand, G. Huang, M. Kelman, Z. Karim, R. J. W. Hill and S. S. Papa Rao, *J. Cryst. Growth*, **427**, 72 (2015).
  - 36) T. Orzali, A. Vert, B. O'Brien, J. L. Herman, S. Vivekanand, R. J. W. Hill, Z. Karim and S. S. Papa Rao, *J. Appl. Phys.*, **118**, 105307 (2015).
  - 37) M. L. Huang, S. W. Chang, M. K. Chen, C. H. Fan, H. T. Lin, C. H. Lin, R. L. Chu, K. Y. Lee, M. A. Khaderbad, Z. C. Chen, C. H. Lin, C. H. Chen, L. T. Lin, H. J. Lin, H. C. Chang, C. L. Yang, Y. K. Leung, Y.-C. Yeo, S. M. Jang, H. Y. Hwang and Carlos H. Diaz, *Symp. VLSI Tech. Dig.*, **2015**, T204.
  - 38) M. L. Huang, S. W. Chang, M. K. Chen, Y. Oniki, H. C. Chen, C. H. Lin, W. C. Lee, C. H. Lin, M. A. Khaderbad, K. Y. Lee, Z. C. Chen, P. Y. Tsai, L. T. Lin, M. H. Tsai, C. L. Hung, T. C. Huang, Y. C. Lin, Y.-C. Yeo, S. M. Jang, H. Y. Hwang, Howard C.-H. Wang and C. H. Diaz, *Symp. VLSI Tech. Dig.*, **2016**, 16.
  - 39) R. Alcotte, M. Martin, J. Moeyaert, R. Cipro, S. David, F. Bassani, F. Ducroquet, Y. Bogumilowicz, E. Sanchez, Z. Ye, X. Y. Bao, J. B. Pin and T. Baron, *APL Materials*, **4**, 046101 (2016).
  - 40) M. Martin, D. Caliste, R. Cipro, R. Alcotte, J. Moeyaert, S. David, F. Bassani, T. Cerba, Y. Bogumilowicz, E. Sanchez, Z. Ye, X. Y. Bao, J. B. Pin, T. Baron and P. Pochet, *Appl. Phys. Lett.*, **109**, 253103 (2016).
  - 41) N. Waldron, S. Sioncke, J. Franco, L. Nyns, A. Vais, X. Zhou, H. C. Lin, G. Boccardi, J. W. Maes, Q. Xie, M. Givens, F. Tang, X. Jiang, E. Chiu, A. Opdebeeck,



- C. Merckling, F. Sebaai, D. van Dorp, L. Teugels, A. S. Hernandez, K. D. Meyer, K. Barla, N. Collaert and Y.-V. Thean, *IEDM Tech. Dig.*, **2015**, 799.
- 42) X. Zhou, N. Waldron, G. Boccardi, F. Sebaai, C. Merckling, G. Eneman, S. Sioncke, L. Nyns, A. Opdebeeck, J. W. Maes, Q. Xie, M. Givens, F. Tang, X. Jiang, W. Guo, B. Kunert, L. Teugels, K. Devriendt, A. Sibaja Hernandez, J. Franco, D. van Dorp, K. Barla, N. Collaert and A. V.-Y. Thean, *Symp. VLSI Tech. Dig.*, **2016**, 166.
- 43) L. Czornomaz, E. Uccelli, M. Sousa, V. Deshpande, V. Djara, D. Caimi, M. D. Rossell, R. Erni and J. Fompeyrine, *Symp. VLSI Tech. Dig.*, **2015**, T172.
- 44) H. Schmid, M. Borg, K. Moselund, L. Gignac, C. M. Breslin, J. Bruley, D. Cutaia and H. Riel, *Appl. Phys. Lett.*, **106**, 233101 (2015).
- 45) L. Czornomaz, V. Djara, V. Deshpande, E. O'Connor, M. Sousa, D. Caimi, K. Cheng and J. Fompeyrine, *Symp. VLSI Tech. Dig.*, **2016**, 94.
- 46) M. Borg, H. Schmid, J. Gooth, M. D. Rossell, D. Cutaia, M. Knoedler, N. Bologna, S. Wirths, K. E. Moselund and H. Riel, *ACS Nano*, **11**, 2554 (2017).
- 47) M. Yokoyama, M. Takenaka, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano and S. Takagi, *Symp. VLSI Tech. Dig.*, **2009**, 242.
- 48) M. Yokoyama, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, *Appl. Phys. Express*, **2**, 124501 (2009).
- 49) M. Yokoyama, T. Yasuda, H. Takagi, N. Miyata, Y. Urabe, H. Ishii, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, *Appl. Phys. Lett.*, **96**, 142106 (2010).
- 50) M. Yokoyama, R. Iida, S. H. Kim, N. Taoka, Y. Urabe, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, *IEDM Tech. Dig.*, **2010**, 46.
- 51) M. Yokoyama, R. Iida, S.-H. Kim, N. Taoka, Y. Urabe, H. Takagi, T. Yasuda, H. Yamada, N. Fukuhara, M. Hata, M. Sugiyama, Y. Nakano, M. Takenaka and S. Takagi, *IEEE Electron Device Lett.*, **32**, 1218 (2011).
- 52) T. Irisawa, M. Oda, Y. Kamimuta, Y. Moriyama, K. Ikeda, E. Mieda, W. Jevasuwan, T. Maeda, O. Ichikawa, T. Osada, M. Hata and T. Tezuka, *Symp. VLSI Tech. Dig.*, **2013**, T56.
- 53) T. Irisawa, M. Oda, K. Ikeda, Y. Moriyama, E. Mieda, W. Jevasuwan, T. Maeda, O. Ichikawa, T. Osada, M. Hata, Y. Miyamoto and T. Tezuka, *IEDM Tech. Dig.*, **2013**, 28.
- 54) T. Irisawa, K. Ikeda, Y. Moriyama, M. Oda, E. Mieda, T. Maeda and T. Tezuka, *Symp. VLSI Tech. Dig.*, **2014**, 118.
- 55) S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y. C. Kao, M. Takenaka and S. Takagi, *Symp. VLSI Tech. Dig.*, **2014**, T32.
- 56) S. H. Kim, Y. Ikku, M. Yokoyama, R. Nakane, J. Li, Y.-C. Kao, M. Takenaka and S. Takagi, *Appl. Phys. Lett.*, **105**, 043504 (2014).
- 57) E. Mieda, T. Maeda, N. Miyata, T. Yasuda, Y. Kurashima, A. Maeda, H. Takagi, T. Aoki, T. Yamamoto, O. Ichikawa, T. Osada, M. Hata, A. Ogawa, T. Kikuchi and Y. Kunii, *Jpn. J. Appl. Phys.*, **54**, 036505 (2015).
- 58) T. Maeda, E. Mieda, H. Ishii, T. Itatani, H. Hattori, T. Yasuda, A. Maeda, Y. Kurashima, H. Takagi, T. Aoki, T. Yamamoto, O. Ichikawa, T. Osada, T. Takada, M. Hata, J. Yugami, A. Ogawa, T. Kikuchi and Y. Kunii, *ECS Transactions*, **64** (6) 491 (2014).
- 59) A. W. Fang, H. Park, O. Cohen, R. Jones, M. J. Paniccia and J. E. Bowers, *Opt. Express*, **14** (20), 9203 (2006).
- 60) M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano and S. Takagi, *Appl. Phys. Express.*, **2**, 122201 (2009).
- 61) J.-H. Han, M. Takenaka and S. Takagi, *IEDM Tech. Dig.*, **2016**, 620.

## PROFILE



横山 正史  
Masafumi YOKOYAMA  
住友化学株式会社  
情報電子化学品研究所  
研究員  
工学博士



山本 武継  
Taketsugu YAMAMOTO  
住友化学株式会社  
情報電子化学品研究所  
主席研究員