

GaN単結晶基板の開発



株式会社サイオクス

藤 倉 序 章
井 上 敏 寿
北 村 寿 朗
今 野 泰 一郎
鈴 木 貴 征
藤 本 哲 爾
吉 田 丈 洋
柴 田 真 佐 知
齊 藤 俊 也

Development of GaN Single-Crystal Substrates

SCIOCS Co., Ltd.

Hajime FUJIKURA
Toshihisa INOUE
Toshio KITAMURA
Taichiro KONNO
Takayuki SUZUKI
Tetsuji FUJIMOTO
Takehiro YOSHIDA
Masatomo SHIBATA
Toshiya SAITO

In this paper, we first review fabrication technologies for GaN single-crystal wafers which have been reported to date. Then, our original fabrication technique for GaN single-crystal wafers which is called void-assisted separation (VAS) is introduced. Our recent progresses in GaN wafer fabrication technology for next-generation devices, such as further improvement of GaN crystal quality as well as increasing wafer size, are also explained in detail.

はじめに

化合物半導体はSiにはない優れた発光特性と、組成により発光波長を制御可能という特徴があるため、発光ダイオード (LED) や半導体レーザー (LD) 等の光デバイスとして、ディスプレイのバックライトや照明、プロジェクタの光源、CDやDVDの読取・記録用の光ピックアップに用いられている。またさらには、その優れた電気特性から、電子デバイスとしても携帯電話・スマートフォンで用いられる高周波増幅器や、携帯電話基地局での増幅デバイスとしても用いられ、現在のIT社会を支える必要不可欠な基幹材料となっている。

III-V族化合物半導体は、当初はGaAsやInP等の結晶基板と、その上に成長可能な材料、すなわちIII族としてはGa、In、Alを、V族としてはAs、PあるいはSbを含む材料を中心に開発が行われ、赤外～黄緑色までの

波長領域のLEDおよびLD、そして高周波電子デバイスが実現されてきた。当社 (株式会社サイオクス) でも、その前身の日立電線株式会社の時代から、主要なIII-V族化合物半導体であるGaAsのバルク結晶成長に取り組み、さらにその上に光、電子デバイスの構造を作りこむエピタキシャル成長技術を開発し、下地となるGaAs結晶基板からGaAs系のデバイス用エピウエハまでを製品化し、IT社会の発展に貢献してきた。

一方、1980年代に、2014年にノーベル物理学賞を受賞した赤崎・天野・中村らが、窒化ガリウム (GaN) の開発に成功し、それまで実現されていなかった青紫～緑色領域で発光するLEDやLDの実現に道が開かれた^{1)~4)}。先に述べたように、従来のGaAsやInP等からなるデバイスは、それぞれGaAsおよびInPという同種基板の上にデバイス構造をエピタキシャル成長して形成されていた。これは、これらの半導体が高温で融液を形成でき、その凝固過程でバルク

結晶を得られたため、単結晶のGaAsあるいはInP基板が実現できていたためである。これに対してGaN系では、窒素の高い平衡分圧のため、融液からのインゴットの成長は事実上不可能であった。このため、GaN系のデバイスは、サファイアやSiC等の異種基板上に薄膜結晶を成長する技術により実用化が始まった^{1),2)}。この場合、基板と成長層の格子定数や熱膨張係数の違いで、GaN層中には $10^8-10^9/\text{cm}^2$ 台の高密度の貫通転位が存在していた。従来の半導体では、このような高い転位密度はデバイス動作に致命的な影響を与えたが、GaN系光デバイスでは幸いなことにキャリア局在化の効果が強いInGaNという特異な活性層材料が利用できたため、電流密度の低いLEDでは転位の影響は深刻なものとはならず、白色・青色・緑色LEDが実用化された³⁾。しかし、電流密度が桁違いに大きいLDでは、素子寿命が転位密度に強く依存するため、より低転位なGaN結晶の実現が望まれ、1990年代後半から様々な手法を用いたGaN単結晶基板の製造手法が開発され始めた^{5),6)}。

当社でも2001年にサファイア上へ微細なボイドを介してGaN膜を形成し、成長後にボイド部でGaN膜をサファイアから分離してGaN結晶のみで自立した基板を得る、独自のボイド形成剥離法 (Void-Assisted-Separation: VAS法) を開発し、GaN単結晶基板を実現した⁷⁾⁻¹²⁾。この手法は、後述のように、ウエハ全面を均一に低い貫通転位密度 (Threading dislocation density: TDD) ($10^6/\text{cm}^2$ 台前半) にできるという、それまでに提案された手法にはない利点を有するため、広く使われるようになり、現在では青色LDをはじめとする様々な用途に適用されている。

更にGaN系材料は、その高い絶縁破壊電界および移動度から、パワーデバイス用の材料としても当初から期待されていた。この場合も、バンドギャップが狭いInGaNは使えず、また高耐圧・大電流動作が求められるため、高品質なGaN単結晶基板を用いるメリットは

大きく、当社をはじめとした各社から、高品質なGaN単結晶基板が安定に供給されるようになり、その開発が加速しつつある^{13),14)}。Fig. 1にGaN単結晶基板を用いて実現されるデバイスのうち代表的な物として、青色LDと縦型のパワーデバイスの概略図を示す。

以下では、これまでに提案された各種のGaN単結晶基板製造法とそのメリット・デメリットを概観し、その後、我々の開発したVAS法によるGaN自立基板について、製作プロセス、高品質化の取り組み、大口径化への取り組みについて解説する。

GaN単結晶基板の各種製造方法

ここでは、これまでに様々なメーカ、研究機関から提案されたGaN単結晶基板の製造方法を、GaN成長時の結晶形態や転位低減機構の違いに着目した「形成手法」と、成長に使用する原料や結晶析出機構の違いに着目した「成長法」の2つの観点から説明する¹⁵⁾。

1. GaN単結晶基板の形成手法

Fig. 2に、これまでに提案されたGaN結晶の形成手法をまとめた¹⁵⁾。形成手法は、まず自然核発生した微細な結晶を種結晶とする場合と、異種基板上のGaN薄膜 (テンプレートと呼ぶ) を種結晶とする場合に大きく分けられる。前者は自然発生した高品質な結晶核を成長により大きくする手法であり、非常に高品質な結晶が得られるものの、実用的なサイズにまで結晶サイズを拡大するのは極めて困難である。このため、現在ではほとんどの場合で後者のテンプレート方式が用いられている。テンプレート方式は、異種基板を剥離する場合と剥離しない場合に分けられる。異種基板を剥離しない場合には、先に述べたように異種基板/GaN層間に応力が発生し、GaN層を厚く ($>20\mu\text{m}$) 成長すると結晶が割れるリスクが増大するので、成長厚が限られ、十分に低転位な結晶を実現するのは困難である。一方、異種基板を剥離してGaN単結晶を自立させると、mm単位の厚さのGaN結晶の成長が可能となり、 $10^6/\text{cm}^2$ 台以下の低転位化が可能となる。現在各種のデバイスに用いられているGaN単結晶基板は、全てこの最後のカテゴリー (異種基板・剥離) に属している。このカテゴリーは更に、成長の比較的初期から表面が平坦な状態のまま成長する「平坦成長」⁷⁾⁻¹²⁾、下地の表面をGaNが附着しにくい絶縁体マスク等で部分的に覆うなどして成長初期に意図的に島状成長を導入するいわゆるELO法 (Epitaxial Lateral Overgrowth: ELO) を行い、その後平坦成長に移行する「ELO+平坦成長」⁵⁾、更にELO法で形成される微結晶面 (ファセット) を維持した状態でGaN層を厚く成長する「ELO+ファセット成長」⁶⁾に分けられる。

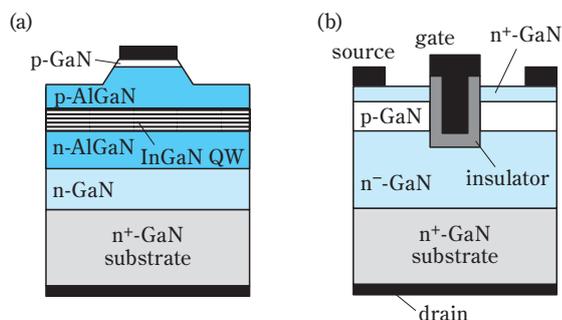


Fig. 1 Devices using free-standing GaN substrates as starting substrates (a) Laser diode and (b) Vertical metal-insulator-semiconductor transistor

Seed crystal	Self-formed small seed	Thin GaN layer on foreign substrate (template)				
Strategy	Enlargement (free-standing)	w/o substrate removal (template)		with substrate removal (free-standing substrate)		
		layered growth	ELO	layered growth	ELO	layered growth
Size	several mm	≥ 2 -inch		<div style="border: 1px solid black; padding: 2px; display: inline-block;">mass-production</div>		
TDD (/cm ²)	$\leq 10^3$	$\geq 10^7$				
Issue	Size	High TDD Wafer bow	High TDD Highly defective region	Thick- growth Off-angle	Highly defective region ?	Highly defective region

Fig. 2 Summary of strategies for bulk GaN crystal fabrication and their characteristics¹⁵⁾

平坦成長とELO法での成長の様子を、転位減少の様子とともに**Fig. 3**に模式的に示す¹⁵⁾。異種基板上的Ga_N成長の初期には高密度の転位が発生するが、平坦成長では成長中にこれらの転位同士がランダムウォーク的に出会い減少する。なお、一般的なGa_Nの結晶成長の場合には、基板表面と平行な面がGa_N結晶の+C面と呼ばれる結晶面となる。+C面は表面がGaで終端された化学的に安定な面であり、基板との界面で発生した転位はこの+C面に垂直方向に結晶中を伝播しやすい性質がある。全ての転位がほぼ同じ方向に（平行に）伝播するため、平坦成長では転位の減少の仕方は比較的ゆっくりであり、転位密度はGa_N層厚に反比例して減少する¹⁰⁻¹²⁾。一方ELO法では、ファセット面と出合った転位はその伝播方向が変化し、この結果、転位同士が出合う確率を平坦成長の場合よりも高めることができる。このため、ELO法では低転位領域の転位は平坦成長よりも急速に減少する。ただし、絶縁体マスク上にデバイス動作を阻害する転位が高密度で集

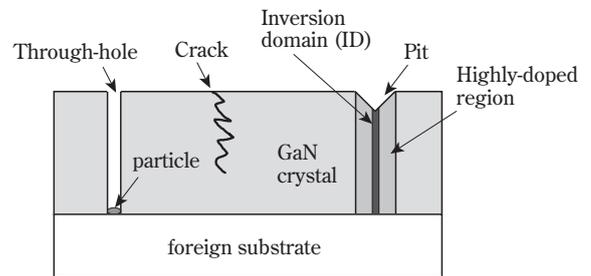


Fig. 4 Various macro-defects observed in GaN crystal

中した領域や、貫通穴、インバージョンドメイン（極性反転領域（Inversion Domain: ID）、Ga_N終端面ではなく、N終端面（-C面と呼ばれる）が発生した領域）やそれに付随したピットや高濃度にドーピングされた領域等、**Fig. 4**に示すような μm ~ mm サイズの欠陥（以後これらをまとめて、マクロ欠陥と言う）が発生しやすいという欠点がある⁶⁾。

これらのマクロ欠陥は、平坦成長ではELO法と比較すると発生しにくいものの、後述する様にGa_N層の厚膜化が比較的難しく、低転位化および低オフ角分布化が困難という欠点がある。異種基板上的平坦成長によるGa_N基板製作方法の例を**Fig. 5**に示す。ここでは、種基板となる異種基板上的Ga_N結晶内にボイドを形成し、その上にGa_N層を平坦成長することで、ボイド部からGa_N結晶を剥離する方法を示している。この方法では、種基板のボイドが微細な場合には、**Fig. 5**に示すように成長初期に μm サイズ以下の微細なGa_Nの結晶核が形成される（この図では、分かりやすいように核を大きく書いている）。このようなGa_Nの結晶核が結合する際にはC面に反りが発生するため、Ga_N結晶を研磨して製作したウエハ表面の結晶方位（C面からのずれ、オフ角と呼ぶ）に分布が生じる。デバイス層の成長の際には、不純物取込や混晶組成がオフ角依存性を

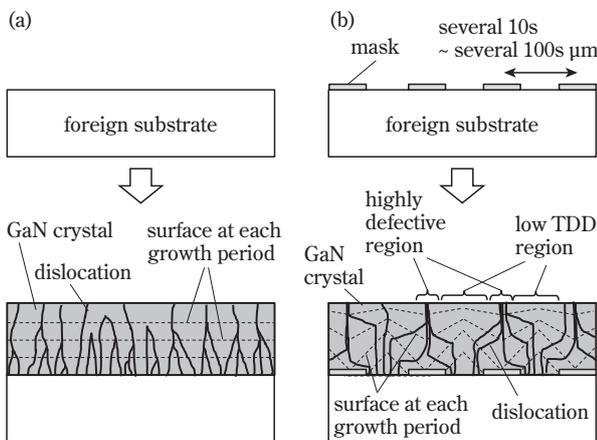


Fig. 3 Main mechanism of dislocation reduction in GaN crystal growth for (a) layered growth and (b) ELO and faceted growth¹⁵⁾

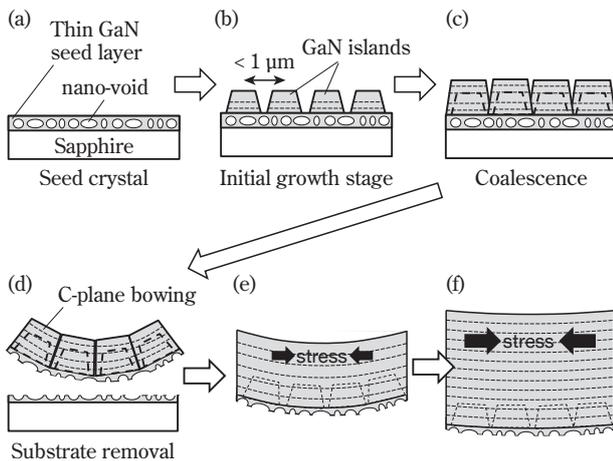


Fig. 5 An example of GaN bulk crystal fabrication sequence by thick layer growth on seed crystal with nano-voids
Copyright (2018) The Japan Society of Applied Physics¹²⁾

持つ場合が多いので、基板のオフ角分布はウエハ内でデバイス特性が変動する要因となる^{16),17)}。このため、オフ角分布は小さい方が望ましい。平坦化後のGaN結晶を厚くすると、Fig. 5 (e) (f)に示すようにC面の反りは減少するが、この際の応力の増大によりGaN結晶にクラック (Fig. 4参照) が発生しやすく、結晶が割れるリスクも増大する。

成長初期にELO法を用いると、上述のマクロ欠陥の存在によりC面の反りとそれに伴う応力が緩和され、平坦成長の場合よりGaN層を厚く成長でき、ELO法自体の低転位化機構と相まって、比較的容易に $10^5/\text{cm}^2$ 台以下の低転位化が可能となる。ただし、一度発生したマクロ欠陥を成長により無くすのは困難で、またGaN結晶の表面を研磨等により物理的に平坦化してもマクロ欠陥は無くならないため、実際のデバイスに应用する際には注意が必要である。

2. GaN単結晶基板の成長法

次に、GaN結晶の「成長法」について説明する。代表的なものとしては、気相法である有機金属気相成長

(MOVPE) 法やハイドライド気相成長 (HVPE) 法、あるいは溶液法 (GaAsやInPと異なり、融液ではない) として安熱合成法やNaフラックス法等が挙げられる。これらの成長法の特徴をTable 1にまとめる。MOVPE法は、LD開発初期にはFig. 2の基板剥離を伴わない手法に広く用いられた⁴⁾。しかし成長速度が高々数 $\mu\text{m}/\text{h}$ 程度と遅いため、mm厚の成長が必要なGaN単結晶基板の成長法としては現在では使われていない。その代わりに、MOVPE法は厚さの制御性が高いところから、現在でもGaN系薄膜の成長法の主流となっている。現在量産されているGaN単結晶基板は、そのほとんどがHVPE法により製造されている^{6)-12),18),19)}。これは、HVPE法は、成長速度が $100\mu\text{m}/\text{h}$ 以上と非常に早く、結晶の純度が比較的高く、更にはELO法や平坦成長の切り替えなど、GaN単結晶基板成長に必要な成長条件の制御が容易なためである。排気系に析出する塩化物のため、一度に成長可能なGaN結晶の量が制限される点が欠点として挙げられる。

一方、溶液中でGaN結晶を析出させる安熱合成法やNaフラックス法^{20),21)}では、HVPE法のような排気の制限が無いため、数日~数か月にわたる極めて長時間の成長により、長尺結晶を実現できる可能性がある。これまでに、数mm厚の成長において、自発ELO法的な成長により極めて低転位のGaN結晶が実現されている。ただし、压力容器部材からの不純物の混入や、成長条件の精密制御が困難でマクロ欠陥抑制が難しい点が課題であり、現状は開発レベルに留まっている。

ボイド形成剥離法 (VAS法) によるGaN単結晶基板の製造

1. VAS法の概要

当社で開発したVAS法によるGaN単結晶基板の形成方法は、基本的にはFig. 5に示した通りであり、内部にボイドを有する異種基板上のテンプレート上へ厚いGaN結晶を成長し、異種基板からGaN結晶を剥離することで自立したGaNの単結晶基板を実現する⁷⁾。

Table 1 Method of GaN crystal growth and their characteristics

	Growth method	Features	Present status
Vapor phase	Metal-organic vapor phase epitaxy (MOVPE)	GaN is grown by reaction between Trimethylgallium and NH_3 .	Used for ELO-template growth in R&D stage of LDs.
	Hydride vapor phase epitaxy (HVPE)	GaN is grown by reaction between GaCl and NH_3 .	Main method for mass-production of GaN substrates
Liquid phase	Ammonothermal method	GaN is re-crystallized from GaN raw material dissolved in supercritical NH_3 .	R&D phase.
	Na-flux method	GaN is grown by reaction between Ga and N_2 both dissolved in Na-melt.	R&D phase.

用いる成長法は上述した高速成長が可能なHVPE法である。HVPE成長装置の概略図をFig. 6に示す。装置内の高温に保ったGa融液にHClガスを供給することでGaClガスを発生し、これと別ラインから供給したNH₃ガスを、1100°C程度に保った基板上で反応させることでGaN結晶を成長する。種基板となるポイドを含むテンプレートは、Fig. 7 (a)に示すように、MOVPE法によりサファイア基板上にGaN薄膜を成長したテンプレートを形成し、その表面にTi薄膜を蒸着し熱処理を加えることで実現する。熱処理によりTi薄膜がTiNの網目状構造へ変化するとともに、GaN層内にナノメートルサイズの無数のポイドが形成される (Fig. 7 (b)の左側の図)。このポイド上にGaN結晶をHVPE法により成長すると、Fig. 7 (b)あるいはFig. 5に模式的に示したように、まず微細なGaN核が形成され、それらが結合することで連続膜が形成される。Fig. 7 (b)の右側の図に見られるように、GaN結晶成長後も種結晶とHVPE成長層の間にはポイドが残留しており、基板を剥離しない場合と比較して、基板であるサファイアとGaN結晶間の応力が極めて

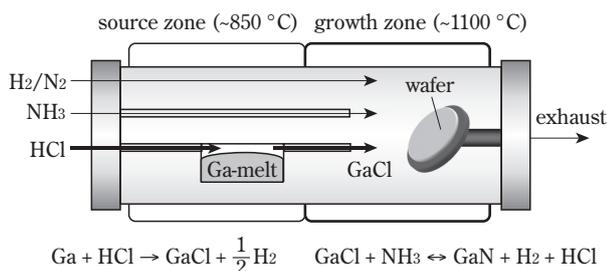


Fig. 6 Schematic drawing of HVPE equipment

小さい状態で成長が進行する。このため、基板を剥離しない場合には、精々100μm厚程度のGaN層の成長が限界であったところを、VAS法を用いることでmm単位の厚いGaN結晶の成長が可能となる。このように厚いGaN結晶を成長する過程で、上述の転位同士がランダムウオーク的に出会って減少する効果により、転位密度は10⁶/cm²台前半にまで低減される。数~数100μmサイズのパターンを用いるELO技術を用いず、ナノメートルサイズのポイドを用いるため、Fig. 8に示したように基板全面にわたって均一に低い転位密度が得られる点もVAS法の特徴の一つである。

2. VAS法によるGaN単結晶基板におけるマクロ欠陥の抑制

先に述べたように、GaNの結晶成長ではFig. 4に示すようなマクロ欠陥が発生しやすい。これは特にELO

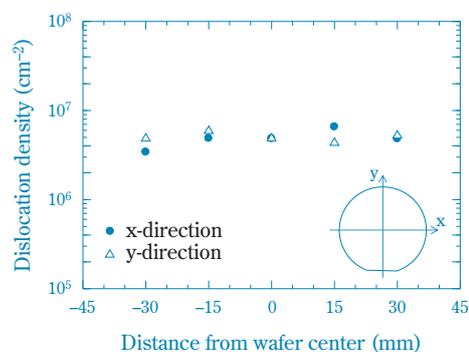


Fig. 8 Threading dislocation density (TDD) distribution of free-standing GaN substrate made by the VAS-method

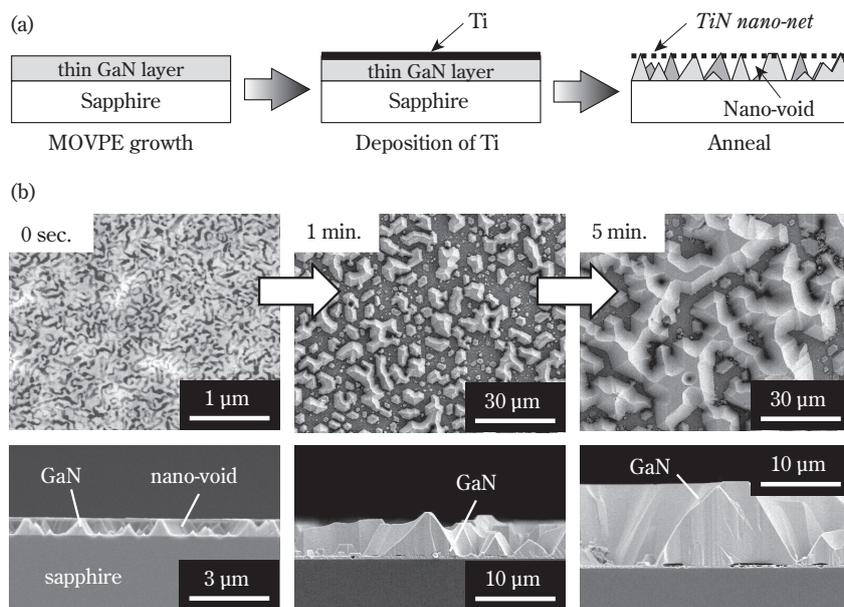


Fig. 7 (a) Sequence of seed crystal formation in void-assisted separation method (VAS) and (b) SEM photograph of initial stage of GaN substrate growth by HVPE on the voided-seed crystal

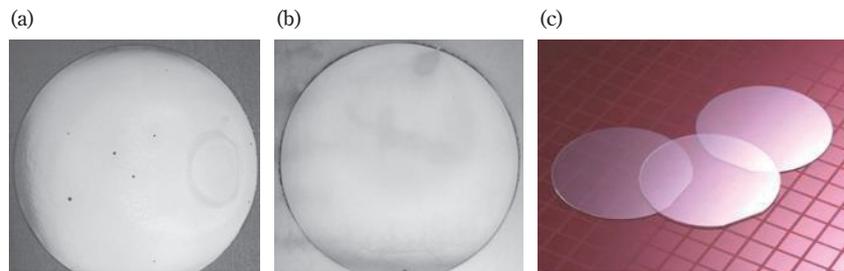


Fig. 9 Photographs of free-standing GaN substrates made by the VAS method. (a) and (b) as-grown GaN bulk crystals before and after growth optimization, respectively. (c) Free-standing GaN wafers after application of polishing process.

法において顕著であるが、平坦成長を基本とするVAS法においても開発当初には大きな問題であった。これらのマクロ欠陥は、GaN結晶自体の特性にも起因して発生するため、VAS法やHVPE法以外の方法で製作したGaN自立基板においても発生し、他機関からもその成因や抑制法に関する報告がしばしばなされている^{22),23)}。

Fig. 9 (a)に開発当初の2インチ径GaN自立基板の、HVPE成長直後の写真を示す。図中に黒く見える点が、インバージョンドメインに起因したピットや貫通穴である。右側の灰色の楕円形の模様は、成長中に裏面結晶が蒸発して生じた金属Gaの残渣痕であり、裏面加工で除去可能なものである。開発当初はVAS法による剥離、低転位化とこれらのマクロ欠陥の制御を両立する条件を見出すことは困難であった。しかし、従来のHVPE装置よりも格段に精密な成長条件制御を可能とするHVPE成長装置を自社開発したことがブレークスルーとなり、ウエハ全面にわたり上述の全てのマクロ欠陥の抑制が可能となった。**Fig. 9 (b)**が、改善後のGaN自立基板の写真である。**Fig. 9 (a)**で見られたピットや貫通穴に対応する黒い点が見られないことに加えて、光学顕微鏡観察やMOVPEによる成長実験により、IDなどがほぼ無いGaN表面が得られていることを確認している。また、**Fig. 9 (c)**はそのようなマクロ欠陥を含まないGaN結晶に研磨加工を施して製作した2インチのGaN単結晶基板の写真である。着色もなく透明で、透過像にも乱れが見られず、高濃度の不純物や欠陥を含まない高品質なGaN単結晶基板が実現されていることが見て取れる。

3. GaN単結晶基板の更なる低転位化

VAS法により製造したGaN単結晶基板の転位密度は開発当初から $10^6/\text{cm}^2$ 台の前半であり、青色LEDや高出力LED向けとしては十分に低い転位密度であり、現在もこれらの用途に広く用いられている。しかしながら、将来的に更に高出力のLD、LEDや、更には高効率なパワーデバイスへの応用を考えた場合、より低い転位密度の基板が望ましい場合も想定される。

ここでは、そのような次世代デバイスへの応用を見据えた当社でのGaN単結晶基板の低転位化へ向けた取り組みを説明する。

VAS法は、先に述べた「平坦成長」によりGaN単結晶基板を製作する場合にあたり、成長厚の増大に伴い隣り合う転位がランダムウオーク的に会合し、表面に表れる転位が減少するというメカニズムにより転位が減少する。このメカニズムによれば、転位密度はGaN成長厚に反比例して減少するものと期待される。しかしながら、開発当初の成長条件を用いて、GaN層の厚さを単純に厚くした場合には、**Fig. 10 (a)**のAあるいはBに示すように、ある臨界厚までは転位密度は成長厚に反比例して減少するものの、GaN厚が臨界値を超えた段階で転位密度が減少しなくなるという挙動を示した¹⁰⁾。これは、**Fig. 5**に示した様な成長初期に生じるC面の反りによる応力や、それ以外にも成長装置部品とGaN結晶間の付着による応力等の様々な応力が、成長厚の増大とともに増加し、この応力がGaN層の厚さが臨界厚を超えた段階で新たな転位を導入し始め、GaN結晶が塑性変形を起こしているためと考えられる。この臨界厚を大きく超えてGaN結晶を成長した場合には、結晶に割れやクラックが発生し、製品に十分な大きさのGaN結晶を得ることが困難となる。この現象のため、開発当初は、VAS法で成長可能なGaN結晶の厚さは1mm程度に制限されており、得られるGaN単結晶基板の転位密度も $10^6/\text{cm}^2$ 台前半が限界であった。

上記の現象は、前節で見たようにGaN単結晶基板がマクロ欠陥を含まない場合の状況であり、GaN単結晶基板に意図的にインバージョンドメイン等のマクロ欠陥を多量に導入した場合には、開発当初の成長条件であっても2~3mm厚のGaN結晶をクラック無しで成長することが可能であった。この場合、インバージョンドメインの無い部分の転位密度は $1 \times 10^6/\text{cm}^2$ かそれ以下にまで低減可能であった。しかしながら、インバージョンドメインはGaN結晶の裏から表まで貫通して存在する欠陥であり、研磨加工で除去する

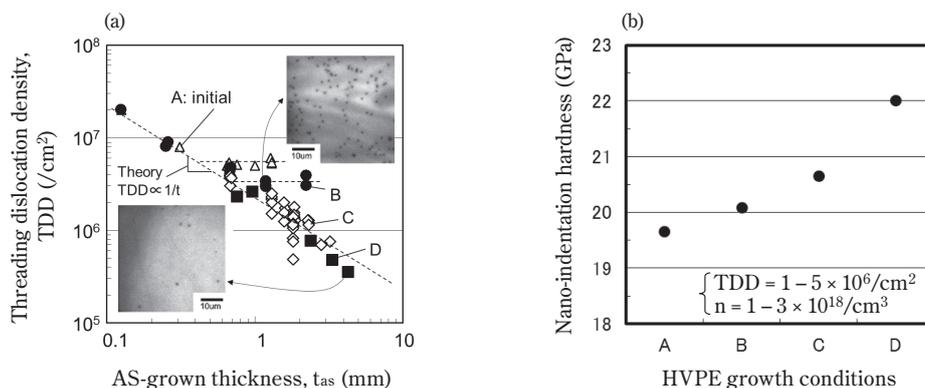


Fig. 10 Effect of GaN crystal hardness on the available as-grown thickness, t_{as} and TDDs. (a) Relationships between t_{as} and TDD for the macro-defect-free GaN substrates grown by the VAS-method using the conditions A-D. Cathodoluminescence images for GaN substrates grown using the conditions B and D are shown as insets. (b) Dependence of nano-indentation hardness values of the GaN crystal grown by the VAS-method on HVPE-growth conditions A-D. Copyright (2018) The Japan Society of Applied Physics¹²⁾

ことはできない。インバージョンドメイン上にデバイス構造を成長した場合、その上の成長速度や不純物取込が通常の領域と異なるため、このようなGaN結晶を用いて製作したGaN単結晶基板を実用デバイスに用いることはできない。

この結晶厚さと欠陥導入のジレンマを解決する手段として、我々は、HVPE成長条件を精密に制御することで、GaN結晶の硬さを制御できることを見出した。GaN結晶を硬くすることで、現在は、当初よりも遥かに厚いGaN結晶を、マクロ欠陥を導入せずに成長できるようになっている。Fig. 10 (b)は、成長条件によるGaN結晶の硬さの変化をナノインデンテーション法により調べた結果をまとめたものである。開発当初の条件Aでは、GaN結晶の硬さは19.6GPaであったのが、条件をB, C, Dと改善するにつれて硬さが増加し、最終的には条件Dにおいて硬さを22GPaにまで増やすことに成功している¹²⁾。GaN単結晶基板のナノインデンテーション測定に関する報告は、他機関からもなされているが、成長条件によりGaN結晶の硬さが増変するという点は、我々が初めて明らかにした知見であり、また条件Dで得られた結晶硬さはこれまで報告された中で最大の値である^{24)–28)}。

硬さの増加に伴い、クラックを生じずに成長可能なGaN結晶の厚さもFig. 10 (a)に示すように増大し、条件DにおいてはFig. 11に示すような最大6mm厚の結晶が得られており、その際の結晶の最表面における転位密度は $10^5 / \text{cm}^2$ 台の前半にまで減少した。Fig. 10 (a)の条件Dにおいては、最大厚の結晶であっても転位密度の飽和傾向は見られない。このことは、更に厚いGaN結晶の実現を期待できるということを意味している。現在のところ当社のHVPE装置で成長可能なGaN結晶厚の限界は、GaN結晶の割れではなく、

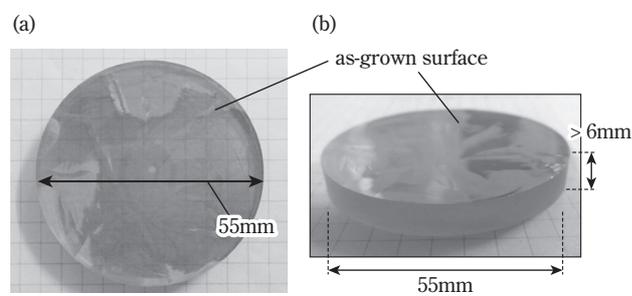


Fig. 11 Photographs of thick GaN bulk crystal for 2-inch wafer grown using the conditions D after cylindrical grinding. (a) Top-view and (b) bird's-eye view. Copyright (2018) The Japan Society of Applied Physics¹²⁾

装置構成上の問題で決まっており、更なる装置構造の改善により将来的にはより厚く、より低転位なGaN結晶を実現できると考えている。

転位を多く含む金属の塑性変形は一般的に既に存在する転位の運動で説明されるが、GaN自立基板のナノインデンテーション測定の結果をこの考え方で説明するには無理がある。測定したGaN単結晶基板の転位密度は $10^6 / \text{cm}^2$ 台であり、この場合の転位の間隔は10 μm 程度である。ナノインデンテーション測定は、先端が数10 nm径の圧子を100 nmほどGaN表面に押し込むかたちで行われるが、その際に圧子先端がちょうど貫通転位付近に命中する可能性は高くない。このため、測定前に既に存在していた転位の運動が測定結果に影響する可能性は少なく、むしろここでの「硬さ」は、応力による新たな転位の発生しにくさの反映と捉えるのが妥当である。同じGaN結晶でありながら転位の発生しにくさが異なる原因は

今のところ明確ではないが、一つの説明としては、結晶に含まれる原子空孔の密度が異なることにより、空孔の凝集による転位ループの発生しやすさに違いが生じている可能性がある。

この仮説が正しければ、条件Dで成長したGa₂N結晶では、従来条件A-Cで成長したものよりも結晶中の原子空孔濃度が少ないため、より厚く成長した場合でも新たな転位の発生が抑制され、従来以上に転位を低減できるようになったと考えることができる。Ga₂N結晶中での空孔の挙動は未だ明確にはなっていないが、GaAs結晶中では10個以上の空孔からなるクラスターが安定に存在することや²⁹⁾、金属Al結晶中の空孔が凝集して安定な転位ループを形成することが計算により示されており³⁰⁾、Ga₂Nについても同様な検討が進展することを期待している。

4. GaN単結晶基板の大口径化

GaN系デバイスの低コスト化のためには、基板の大口径化も重要な課題である。現状で市販されているGaN単結晶基板は2インチ径のものが主流であるが、将来的にはこれを4インチ径あるいは6インチ径にまで拡大する必要があるであろう。VAS法においては、種結晶となるサファイア基板さえ大口径のものが準備できれば、同様の口径のGaN単結晶基板を製造するのは比較的容易である。しかしながら、単純に小口径ウエハと同様の結晶成長を行っただけでは、量産レベルのデバイス製作に適用できる基板とはならない。これは、ウエハ径を拡大する際には、小口径ウエハと同等のオフ角分布を得るのが困難であるためである。上述のように、基板の上に製作するデバイスの特性はオフ角の影響を受けるため、オフ角分布が大きい場合にはデバイス歩留が低下する恐れがある。このため、大口径の基板であってもオフ角分

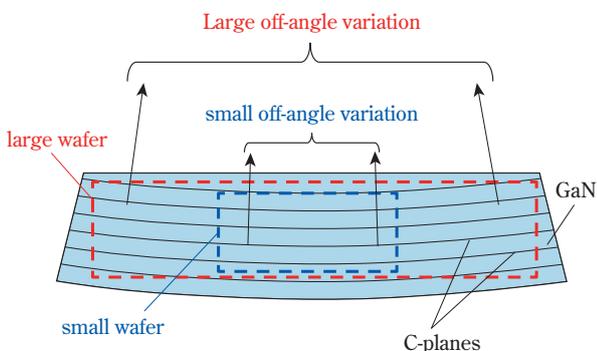


Fig. 12 Schematic explanation of difficulty in achieving small off-angle variation for large size wafer in comparison with small wafer. If C-plane curvature of GaN crystals are the same, large wafer should have larger off-angle variation than small wafer.

布は小口径基板と同等かそれ以下に抑える必要がある。しかしながら、現状のGa₂N結晶はFig. 5に示したようにC面が反った状態で成長されるため、Fig. 12に示すように、もし同じC面の反りを持つ結晶から大口径のウエハを切り出した場合には、必然的にオフ角分布が小口径ウエハよりも大きくなり、実際のデバイス製作で許容できる範囲を超えてしまう恐れがある。例えば、Ga₂N成長層の厚さが1mmの場合には、VAS法では2インチウエハのオフ角分布は0.3~0.4°程度となる（基板中心から±15mm位置で測定）。ところが、同様の厚さの結晶で4インチウエハを製作した場合には、オフ角分布はその2倍の0.6~0.8°にまで増加する（基板中心から±30mm位置で測定）。

大口径基板のオフ角分布低減に対しては、当社では2通りのアプローチを試みている。一つは、Fig. 13 (a)に示すように、現状の2インチ基板から六角形のタイルを多数作製し、これらを組み合わせて、その上に再度HVPE成長することでタイルを相互に結合して大口径基板を制作する方法であり、タイリング法と呼んでいる。これによりFig. 13 (b)に示すように7インチ径という世界最大のGaN基板の実現に成功している³¹⁾。この手法の場合、それぞれのタイルのオフ角とオフ角分布を一致させることで、オフ角分布が標準的な2インチ基板と同等である大口径基板を実現できる。タイリング基板は、隣り合うタイルの結合部に若干の結晶格子の乱れは含むものの、タイリング基板上へ厚いGa₂N層を成長したインゴットのスライスや研磨、あるいは、タイリング基板上へのエピタキシャル成長も問題なく行えることを確認している。

もう一つの方法は、大口径のサファイア上にVAS法を実施する際に、Fig. 5に示したようにGa₂N結晶の成

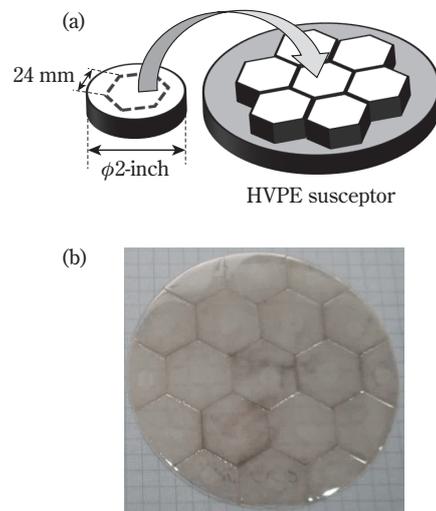


Fig. 13 (a) Concept of tiling method and (b) Photograph of 7-inch freestanding GaN substrate made by the tiling method

長厚を大幅に厚くすることで、GaN単結晶基板のオフ角分布を低減する方法である。この際にも、前節で述べたGaN結晶の硬さ制御に基づく厚膜化が極めて有効な手段であり、我々はこれにより、オフ角分布の小さい2–6インチ径のGaN単結晶基板の製作に成功している。この方法で製作した4インチ、6インチ径のGaN単結晶基板の写真を、従来の2インチ径基板とともにFig. 14に示す。2インチと4インチ基板は、研磨済み（裏面は粗面仕上げ）で、着色の無い透明な結晶が実現されている。6インチ基板は研磨していないアズグロウン結晶であり、裏面に成長時に生じる金属Gaがあるため金属色の着色が見えるが、基本的には2インチ、4インチ基板と同等の結晶性を有している。GaN層の厚膜化の結果、 $10^5/\text{cm}^2$ 台の低い転位密度と、小さなオフ角分布（最大値–最小値、2インチで 0.1° 、4インチで 0.2° ）を持ち、かつ、マクロ欠陥のほぼ無いGaN単結晶基板が得られている。

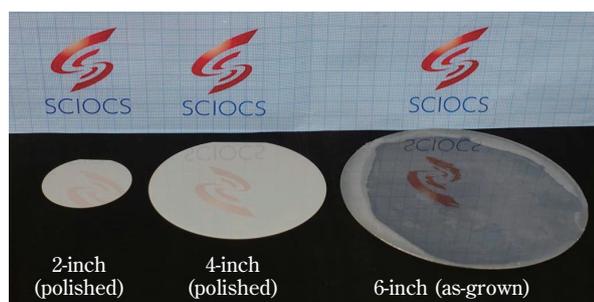


Fig. 14 Photograph of 2, 4 and 6-inch size macro-defect-free GaN wafers grown using the conditions D. The 2 and 4-inch wafers were single side polished wafers. On the other hand, the 6-inch one was the as-grown wafer with residual Ga on its backside.
Copyright (2018) The Japan Society of Applied Physics¹²⁾

まとめ

GaN単結晶基板の製造法に関して、これまで提唱・試験された各種の手法を概観するとともに、我々の開発したボイド形成剥離法（VAS法）によるGaN単結晶基板製造について詳述した。

VAS法により、全面が均一かつ低い転位密度（ $10^6/\text{cm}^2$ 台前半）であり、しかもデバイス動作を損なうマクロ欠陥が無い、GaN単結晶基板を世界で初めて実現した。また、HVPE成長条件の調整により、GaN結晶の硬さが制御できることを世界で初めて明らかにし、この技術に基づいて硬さを増したGaN結晶を用いることで、 $10^5/\text{cm}^2$ 台前半の極めて低い転位

密度を持つGaN単結晶基板の実現と、6インチ径までのGaN単結晶基板の大口径化を達成した。また、タイリング法により世界最大の7インチ径のGaN単結晶基板の実現にも成功している。

今後は、青色LDや高効率LEDの一般照明や自動車ヘッドライトへの用途拡大はもちろんのこと、次世代のパワーデバイスなどの環境デバイスの実現・普及にも、我々のVAS法によるGaN単結晶基板が大きく貢献できるものと期待している。

謝辞

本報告の一部は、環境省「未来のあるべき社会・ライフスタイルを創造する技術イノベーション事業」の委託を受けてなされたものである。

引用文献

- 1) I. Akasaki *et al.*, *J. Cryst. Growth*, **98**, 209 (1989).
- 2) S. Nakamura, *Jpn. J. Appl. Phys.*, **30**, L1705 (1991).
- 3) S. Nakamura *et al.*, *Jpn. J. Appl. Phys.*, **34**, L797 (1995).
- 4) S. Nakamura *et al.*, *Jpn. J. Appl. Phys.*, **35**, L74 (1996).
- 5) A. Usui *et al.*, *Jpn. J. Appl. Phys.*, **36**, L899 (1997).
- 6) K. Motoki *et al.*, *J. Cryst. Growth*, **237-239**, 912 (2002).
- 7) Y. Oshima *et al.*, *Jpn. J. Appl. Phys.*, **42**, L1 (2003).
- 8) Y. Oshima *et al.*, *Jpn. J. Appl. Phys.*, **45**, 7685 (2006).
- 9) Y. Oshima *et al.*, *J. Cryst. Growth*, **312**, 3569 (2010).
- 10) H. Fujikura *et al.*, *J. Cryst. Growth*, **350**, 38 (2012).
- 11) H. Fujikura *et al.*, *Proc. SPIE*, 10104, 1010403 (2017); doi:10.1117/12.2257202.
- 12) H. Fujikura *et al.*, *Jpn. J. Appl. Phys.*, **57**, 065502 (2018).
- 13) H. Ohta *et al.*, *IEEE Electron Device Lett.*, **36**, 1180 (2015).
- 14) T. Oka *et al.*, *Appl. Phys. Express*, **8**, 054101 (2015).
- 15) 藤倉 序章, 電気学会誌, **137**, 685 (2017).
- 16) M. Sarzyński *et al.*, *Appl. Phys. Express*, **5**, 021001 (2012).
- 17) F. Horikiri *et al.*, *Jpn. J. Appl. Phys.*, **56**, 061001 (2017).
- 18) K. Fujito *et al.*, *J. Cryst. Growth*, **311**, 3011 (2009).
- 19) K. Xu *et al.*, *Chin. Phys. B*, **24**, 066105 (2015).
- 20) F. Kawamura *et al.*, *Jpn. J. Appl. Phys.*, **45**, L1136 (2006).
- 21) R. Dwiliński *et al.*, *J. Cryst. Growth*, **310**, 3911 (2008).

- 22) J. L. Weyher *et al.*, *J. Cryst. Growth*, **312**, 2611 (2010).
 23) C. E. C. Dam *et al.*, *J. Cryst. Growth*, **307**, 19 (2007).
 24) M. Fujikane *et al.*, *J. Alloys and Compounds*, **450**, 405 (2008).
 25) J. Huang *et al.*, *Nanoscale Res. Lett.*, **7**, 150 (2012).
 26) M. Fujikane *et al.*, *Phys. Status Solidi C*, **7**, 1798 (2010).

- 27) C. Tsai *et al.*, *Appl. Surf. Sci.*, **254**, 1997 (2002).
 28) R. Nowak *et al.*, *Appl. Phys. Lett.*, **75**, 2070 (1999).
 29) T. E. M. Staab *et al.*, *Phys. Rev. Lett.*, **83**, 5519 (1999).
 30) V. Gavini *et al.*, *Phys. Rev. B*, **76**, 180101 (2007).
 31) T. Yoshida *et al.*, *Phys. Status Solidi B*, **254**, 1600671 (2017).

PROFILE



藤倉 序章
Hajime FUJIKURA

株式会社サイオクス
 事業開拓部
 博士 (工学)



藤本 哲爾
Tetsuji FUJIMOTO

株式会社サイオクス
 基板製品部 基板技術課



井上 敏寿
Toshihisa INOUE

株式会社サイオクス
 基板製品部 基板製造課



吉田 文洋
Takehiro YOSHIDA

株式会社サイオクス
 事業開拓部
 博士 (工学)



北村 寿朗
Toshio KITAMURA

株式会社サイオクス
 基板製品部 基板技術課
 博士 (工学)



柴田 真佐知
Masatomo SHIBATA

株式会社サイオクス
 事業開拓部



今野 泰一郎
Taichiro KONNO

株式会社サイオクス
 事業開拓部



齊藤 俊也
Toshiya SAITO

株式会社サイオクス
 事業開拓部 部長
 博士 (工学)



鈴木 貴征
Takayuki SUZUKI

株式会社サイオクス
 基板製品部 基板技術課